



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002313859 A**(43) Date of publication of application: **25.10.02**

(51) Int. Cl.

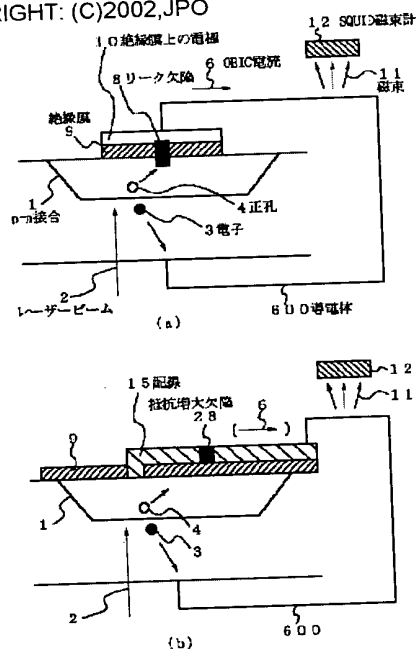
**H01L 21/66****G01N 27/00****G01N 27/72****G01R 31/02****G01R 31/302****G01R 33/02****G01R 33/035**(21) Application number: **2001081310**(22) Date of filing: **21.03.01**(30) Priority: **09.02.01 JP 2001033928**(71) Applicant: **NEC CORP**(72) Inventor: **FUTAGAWA KIYOSHI**(54) **NONDESTRUCTIVE INSPECTION METHOD AND  
DEVICE AND SEMICONDUCTOR CHIP**

COPYRIGHT: (C)2002,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide an inspection method by which resistance increasing defects including disconnection and leakage defects including short-circuits of a semiconductor device are efficiently detected.

**SOLUTION:** Leakage defects 8 including short circuits and resistance increasing defects 28 including disconnection can be inspected in a nondestructive and noncontact way, by detecting a magnetic flux 11 induced by an OBIC current 6 which is generated when a p-n junction 1 both ends of which are short-circuited by a conductor 600 is irradiated with a laser beam 2 by a fluxmeter 12. Inspection in process of the previous step can be performed by using a path inside a chip or a wafer substrate and a conductive film adhered to the top surface of the wafer substrate as a current path of the OBIC current 6. Inspection of a mounted chip can be performed by using the path inside the chip, the wiring on the equipped circuit board or the like.



(43)公開日 平成14年10月25日(2002.10.25)

識別記号	FI	コード(参考)
(51)Int.Cl. <sup>7</sup>	H 0 1 L 21/66	C 2 G 0 1 4
H 0 1 L 21/66		B 2 G 0 1 7
	G 0 1 N 27/00	Z 2 G 0 5 3
G 0 1 N 27/00	27/72	Z A A 2 G 0 6 0
27/72		2 G 1 3 2
Z A A	G 0 1 R 31/02	
G 0 1 R 31/02		

審査請求 有 請求項の数35 OL (全 25 頁) 最終頁に続く

(21)出願番号	特願2001-81310(P2001-81310)	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成13年3月21日(2001.3.21)	(72)発明者	二川 清 東京都港区芝五丁目7番1号 日本電気株式会社内
(31)優先権主張番号	特願2001-33928(P2001-33928)	(74)代理人	100082935 弁理士 京本 直樹 (外2名)
(32)優先日	平成13年2月9日(2001.2.9)		
(33)優先権主張国	日本(JP)		

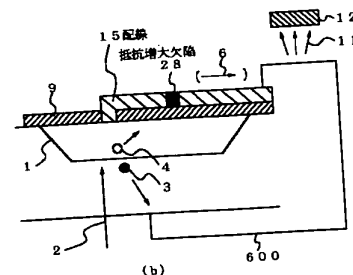
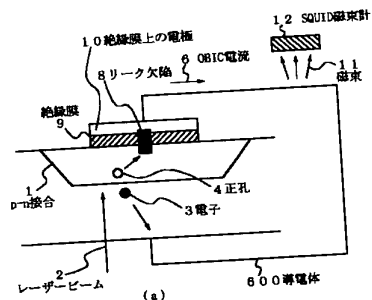
**最終頁に続く**

(54)【発明の名称】 非破壊検査方法および装置ならびに半導体チップ

(57) 【要約】

【課題】 半導体デバイスの断線欠陥を含む抵抗増大欠陥及び短絡欠陥を含むリーク欠陥を効率的に検出する検査方法を提供する。

【解決手段】 導電体600で両端を短絡したp-n接合1にレーザビーム2を照射した際に発生するOBIC電流6が誘起する磁束11をSQUID磁束計12で検出することで、短絡欠陥を含むリーク欠陥8や断線欠陥を含む抵抗増大欠陥28の非破壊且つ非接触の検査が可能になる。OBIC電流6の電流経路として、チップ内部での経路やウェハ基板とウェハ基板上面に付着した導電膜などを用いることで、前工程途中での検査が可能になり、チップ内部での経路や実装回路基板上の配線などを用いることで、実装状態での検査が可能になる。



## 【特許請求の範囲】

【請求項1】 波長が300nm以上、且つ1200nm以下の範囲内にあるレーザ光を発生させ、所定のビーム径に集光したレーザビームを生成する第1ステップと、検査対象である製造工程途中のウェハ状態及び実装状態を含む少なくとも基板中にp-n接合が形成された半導体チップの前記p-n接合及びその近傍に前記レーザビームが照射されたときにOBIC (Optical Beam Induced Current) 現象により発生するOBIC電流を流すための電流経路を所定の電氣的接続手段により構成する第2ステップと、前記レーザビームを照射しながら前記半導体チップの所定領域を走査する第3ステップと、この第3ステップで走査する各照射点において前記レーザビームにより発生する前記OBIC電流が誘起する磁束を磁束検出手段により検出する第4ステップと、この第4ステップで検出した前記磁束に基づいて前記半導体チップの当該照射点を含む前記電流経路における断線欠陥を含む抵抗増大欠陥又は短絡欠陥を含むリーク欠陥の有無を判定する第5ステップと、を含むことを特徴とする、インラインモニタ、良・不良チップ選別、不良解析、故障解析を含む、非破壊検査方法。

【請求項2】 前記電流経路が、寄生容量や浮遊容量を含む容量Cと寄生抵抗を含む抵抗RからなるCR遅延回路を含む請求項1記載の非破壊検査方法。

【請求項3】 前記第2ステップにおいて、前記電氣的接続手段が、基板中にp-n接合を形成している拡散層領域に少なくとも1箇所コンタクト孔を開口した前記半導体チップ内に作り込まれている、寄生的なものも含む、電流経路、特にその基板の上面側全体に付着した導電膜、である請求項1記載の非破壊検査方法。

【請求項4】 正常品あるいは正常状態では前記OBIC電流に対する電流経路が構成されない前記照射点で、前記第4ステップで検出した前記磁束が予め定めた規格値以上のとき前記第5ステップで前記照射点を含む前記電流経路中に短絡欠陥を含むリーク欠陥があると判定する請求項1乃至3いずれか1項に記載の非破壊検査方法。

【請求項5】 正常品あるいは正常状態で前記OBIC電流に対する電流経路が構成される前記照射点で、前記第4ステップで検出した前記磁束が予め定めた規格値未満のとき、前記第5ステップで前記照射点を含む前記電流経路中に断線欠陥を含む抵抗増大欠陥があると判定する請求項1乃至3いずれか1項に記載の非破壊検査方法。

【請求項6】 レーザビームが最も絞られた照射点と、前記磁束を検出する前記磁束検出手段との相対的位置関係を固定したまま、前記レーザビームが前記半導体チップを走査するステップを更に含む請求項1乃至5いずれか1項に記載の非破壊検査方法。

【請求項7】 レーザビームと半導体チップを相対的に

固定したまま、前記磁束検出手段を半導体チップに対して相対的に走査するステップを更に含む請求項1乃至5いずれか1項に記載の非破壊検査方法。

【請求項8】 半導体チップのp-n接合が形成されている基板の上面側全体に付着した導電膜に設けた第1端部と、前記基板の前記上面に対向する下面側に設けた第2端部を前記OBIC電流取り出し部として、前記第1端部と前記第2端部との間を所定の前記接続手段により接続した請求項1, 2, 4又は5いずれか1項に記載の非破壊検査方法。

【請求項9】 前記第2端部が、前記基板の平面形状の中心点を通りこの中心点と前記第1端部とを結ぶ直線に直交する領域分割直線で2分される前記第1端部を含まない領域に設けられた請求項8に記載の非破壊検査方法。

【請求項10】 前記半導体チップの基板の上面側全体に付着した導電膜が、製造工程途中で付着した膜である請求項3又は8記載の非破壊検査方法。

【請求項11】 検査対象の前記半導体チップはウェハ状態であり、前記OBIC電流の前記電流経路が前記半導体チップ中とプローバとを含み構成される請求項1, 2, 4又は5いずれか1項に記載の非破壊検査方法。

【請求項12】 検査対象の前記半導体チップはそのボンディングパッド又はバンプがチップ外部取り出しリードと接続され、チップの表面側又は裏面側の少なくとも一方が露出された状態であり、前記OBIC電流の前記電流経路が前記半導体チップ中とパッケージのリードを含み構成される請求項1, 2, 4又は5いずれか1項に記載の非破壊検査方法。

【請求項13】 検査対象の前記半導体チップは単独で又は他のデバイスと共に回路基板上に実装された状態であり、前記OBIC電流の前記電流経路が前記半導体チップ中単独で形成されるか、前期半導体チップと前記回路基板上とを含み構成される請求項1, 2, 4又は5いずれか1項に記載の非破壊検査方法。

【請求項14】 前記電流経路は、前記回路基板上の2箇所を所定の接続手段で短絡することにより、その発生する磁束ができる限り互いに打ち消しあわないようにした請求項13記載の非破壊検査方法。

【請求項15】 前記回路基板上の前記電流経路の中で、その発生する磁束ができる限り互いに打ち消しあわない場所に前記磁束検出手段の位置を固定して、検査対象の前記半導体チップを前記レーザビームで走査するようにした請求項13又は14記載の非破壊検査方法。

【請求項16】 検査対象の前記半導体チップが、当該半導体チップ内に被検査領域及び前記電流経路を全て含む請求項1, 2, 4又は5いずれか1項に記載の非破壊検査方法。

【請求項17】 検査対象である半導体チップがボンディングパッドを備え、前記電流経路が前記ボンディング

パッドと当該半導体チップの辺端部との間で当該半導体チップを一周していることを特徴とする請求項1、2、4又は5いずれか1項に記載の非破壊検査方法。

【請求項18】 前記磁束検出手段が超伝導量子干渉素子により構成された請求項1乃至17いずれか1項に記載の非破壊検査方法。

【請求項19】 前記超伝導量子干渉素子が、高温超伝導タイプのDC超伝導量子干渉素子である請求項18記載の非破壊検査方法。

【請求項20】 第4ステップで検出した各照射点の磁束に対応した輝度情報或いは色情報を生成して前記各照射点の座標情報と共に記憶手段に記憶する第7ステップと、前記輝度情報或いは色情報に基づき前記各照射点に対応させて前記半導体チップの所定領域を画像表示する第8ステップを更に含む請求項1乃至19いずれか1項に記載の非破壊検査方法。

【請求項21】 検査対象であるウェハ状態及び実装状態を含む第1半導体チップ及び第2半導体チップの各々について、波長が300nm以上、且つ1200nm以下の範囲内にあるレーザ光を発生させ、所定のビーム径に集光したレーザビームを生成する第1ステップと、前記レーザビームが検査対象である当該半導体チップの基板中に形成されたp-n接合及びその近傍に照射されたときにOBIC (Optical Beam Induced Current) 現象により発生するOBIC電流を流すための電流経路を所定の接続手段により準備する第2ステップと、前記レーザビームを照射しながら前記当該半導体チップの所定領域を走査する第3ステップと、この第3ステップで走査する各照射点において前記レーザビームにより発生する前記OBIC電流が誘起する磁束を磁束検出手段により検出する第4ステップと、この第4ステップで検出した前記磁束に基づいて前記半導体チップの当該照射点を含む前記電流経路における断線欠陥を含む抵抗増大欠陥又は短絡欠陥を含むリーク欠陥の有無を判定する第5ステップと、前記各照射点の磁束に基づいて輝度情報或いは色情報に変換し、生成して前記各照射点の座標情報と共に記憶手段に記憶する第7ステップとを施した後、それぞれがこの第7ステップで記憶した前記輝度情報又は色情報と前記照射点の座標情報を含む前記第1半導体チップの第1画像情報と第2半導体チップの第2画像情報とから差像情報を生成し記憶する第9ステップと、前記差像情報を表示する第10ステップと、を含むことを特徴とする非破壊検査方法。

【請求項22】 前記第1半導体チップと前記第2半導体チップとは、少なくとも一方は良品である異なるチップで且つ同一構成であり、更に前記レーザビームを照射しながら走査する各々の前記所定領域も同一構成である請求項21記載の非破壊検査方法。

【請求項23】 前記第1半導体チップと前記第2半導体チップとは、同一チップで且つ前記レーザビームを照

射しながら走査する前記所定領域も同一であって、前記所定領域の電氣的狀態が、一方は正常狀態であり、他方は被検査狀態である請求項21記載の非破壊検査方法。

【請求項24】 少なくとも第3ステップ以前に変調信号によりレーザビームの強度を変調する第6ステップを更に含む請求項1乃至23いずれか1項に記載の非破壊検査方法。

【請求項25】 波長が300nm以上、且つ1200nm以下の範囲内にあるレーザ光を発生させる光源と、前記レーザ光を集光して所定のビーム径のレーザビームを生成するレーザビーム生成手段と、このレーザビームを照射しながら検査対象であるウェハ状態及び実装状態を含む半導体チップの所定領域を走査するレーザビーム走査手段と、前記レーザビームが前記半導体チップの基板中に形成されたp-n接合及びその近傍に照射されたときにOBIC (Optical Beam Induced Current) 現象により発生するOBIC電流が誘起する磁束を検出する磁束検出手段と、を少なくとも備えることを特徴とする非破壊検査装置。

【請求項26】 前記レーザビームが最も絞られた照射点と、磁束を検出する前記磁束検出手段との相対的位置関係を固定する第1固定手段を更に備え、前記照射点と前記磁束検出手段との相対的位置関係を固定したまま、前記レーザビームが前記半導体チップの所定領域を走査するようにした請求項25記載の非破壊検査装置。

【請求項27】 前記磁束検出手段の位置を前記回路基板上的前記電流経路のうち、その発生する磁束ができる限り互いに打ち消しあわない最適検出位置に固定する第2固定手段を更に備え、前記磁束検出手段の位置を前記回路基板上的前記最適検出位置に固定したまま、検査対象の前記半導体チップの所定領域を前記レーザビームで走査するようにした請求項25記載の非破壊検査装置。

【請求項28】 前記磁束検出手段が、超伝導量子干渉素子により構成された請求項25乃至27いずれか1項に記載の非破壊検査装置。

【請求項29】 前記超伝導量子干渉素子が、高温超伝導タイプのDC超伝導量子干渉素子である請求項28記載の非破壊検査装置。

【請求項30】 前記磁束検出手段で検出した各照射点の磁束に基づいて、この磁束に対応する輝度情報或いは色情報を生成し、前記各照射点の座標情報と共に記憶する記憶手段と、前記輝度情報或いは色情報に基づき前記各照射点に対応させて前記半導体チップの所定領域を画像表示する画像表示手段と、をさらに含む請求項25乃至29いずれか1項に記載の非破壊検査装置。

【請求項31】 記憶手段が、半導体チップの所定領域の各照射点の磁束に対応する輝度情報或いは色情報と、前記各照射点の座標情報と、を少なくとも含む画像情報であって、少なくとも前記所定領域が一致する複数の前記画像情報を有し、この複数の画像情報間で差像情報を

生成する差像生成手段を更に含む請求項30記載の非破壊検査装置。

【請求項32】 OBIC電流の電流経路中に、浮遊容量を含む容量及び寄生抵抗を含む抵抗を備えた被検査構造を有することを特徴とする半導体チップ。

【請求項33】 被検査部及びOBIC電流の電流経路を含む被検査構造を全て内部に備えていることを特徴とする半導体チップ。

【請求項34】 前記OBIC電流の前記電流経路中にCR遅延回路を更に有する請求項33に記載の半導体チップ。

【請求項35】 ボンディングパッドを備えたチップであって、前記OBIC電流の前記電流経路が前記チップ上の全ての前記ボンディングパッドの外側を一周している請求項32乃至34いずれか1項に記載の半導体チップ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、製造工程途中のウェハ状態又は実装状態などの半導体チップを非破壊で検査する方法及び装置ならびに被検査構造に関し、特に短絡を含むリーク箇所、抵抗増大箇所又は断線箇所を検出又は検査する方法及び装置ならびに被検査構造を有する半導体チップに関する。このような方法及び装置ならびに被検査構造を必要とする分野は故障解析技術・不良解析技術の分野と工程モニターならびに検査技術の分野に大別できるが、本発明はその双方の技術分野に適用可能である。

【0002】

【従来の技術】 従来、この種の非破壊検査技術は、例えば、堀内繁雄他編「電子顕微鏡Q&A」、アグネ承風社刊(1996.12.15)、p.48の全ページ特に下から10行目から6行目及び図1に示されるように、半導体チップの不良解析・故障解析の一環として、p-n接合部の欠陥箇所を非破壊で検出するために用いられている。

【0003】 図15は、従来の非破壊検査方法の原理を説明するための図である。p-n接合1にレーザビーム2を照射すると、電子3と正孔4の対が生成される。この対はp-n接合1の空乏層の電界及び外部電源5による電界により各々逆方向に流れ電流を誘起する。このようにして流れる電流はOBIC(Optical Beam Induced Current、以下、単にOBICとする)現象による電流、略してOBIC電流と呼ばれている。このOBIC電流6は、p-n接合1に直列に接続された電流計7により、電流或いは電流の変化として検出される。図16は、OBIC電流により欠陥を検出する従来の技術の例を説明するための図である。図15と同じ構成でp-n接合部に再結合を促進する欠陥18が有る場合を示している。レーザビーム21のようにレーザビームが欠陥のない箇所に照射されたときは、図15の場合となら変

わりなく、OBIC電流が流れる。一方、レーザビーム22のようにレーザビームが再結合を促進する欠陥18に照射された場合、電子・正孔対が生成されても、直ちに再結合により消滅し、OBIC電流は流れない。これにより再結合を促進する欠陥の位置が特定できる。

【0004】 このp-n接合でのOBIC現象は、例えば特開平10-135413号公報に開示されているように、p-n接合部の欠陥検出のために利用されるだけではなく、配線の断線箇所を検出するためにも用いられている。以下、図17の側面図及び図18の平面図を参照しながら、この方法について説明する。p-n接合1001、1002、1003が直列に接続されている。その各々のp-n接合と並列に配線が形成されており、その配線が断線欠陥1028により断線すると、断線した配線と並列に接続されたp-n接合1002だけは、レーザビームが照射された際、他のp-n接合部とは異なるOBIC電流が流れるため、断線した配線が特定できる。

【0005】 従来の技術として、もうひとつ別の技術が挙げられる。これは、Beyer, J. et al., アプライド・フィジックス・レター (Appl. Phys. Lett.) vol.74, no.19, pp.2863-2865(1999)、に示されるように、半導体基板の不純物濃度の不均一性を検査する目的で、半導体デバイスとしての素子を構成する前の半導体基板(以下生ウェハという)を、非破壊で検査するために用いられている。図19に、その基本的な構成を示す。レーザビーム2を生ウェハ200に照射すると、生ウェハ中で、電子3と正孔4の対が発生する。この電子・正孔対は、生ウェハ200中の不純物濃度が均一な場合には、直ちに再結合し消滅するが、不純物濃度が不均一な場合には、OBIC電流6として流れる。その電流が作る磁束11を超伝導量子干渉素子(SQUID(Superconducting Quantum Interference Device)、以下、単にSQUIDとする)磁束計12で検出する。

【0006】

【発明が解決しようとする課題】 上述した、従来技術には以下のような問題が有る。

【0007】 第1の従来技術では、まず、電流変化を検出するために、検査装置と半導体チップとの間に電気的接続が必要であり、検査の対象である半導体チップの製造工程の前工程が完了しボンディングパッドが完成した後でないとい検査できないという問題が有る。

【0008】 また、ボンディングパッドが完成した後、すなわち後工程が終了した後では、検査することができが、そのような場合でも、電気的接続の組み合わせが多く、接続のための準備に多大な工数やコストが必要となる点である。この従来技術では、欠陥が存在する箇所と電流計が電気的に直列に接続されていない限り有効でないため、検査が確実に行為られるためには、OBIC電流が流れる可能性の有る全てのボンディングパッドに対

して電流計を電氣的に接続する必要がある。通常は図16に示したように2端子間でOBIC電流が流れるのを検出するが、2端子の組み合わせはほぼボンディングパッド数の2乗に比例して増大するためボンディングパッド数の増大とともに、組み合わせが膨大な数になる。このような接続を対象チップの種類が変わるたびに準備するには、専用の治具を準備したり、接続の変更をしたりする必要があり、多大なコストと工数を必要とする。

【0009】また、前述のように、接続の組み合わせ数が増大することに加えて、端子が他のデバイスや部品とも電氣的に接続されていることで、検査時にその影響を受け、観測結果の解釈が複雑になるという問題も有る。更に、検査時に、他のデバイスや部品を、劣化させる恐れがあることも、実装後の実施を極めて困難なものにしている。

【0010】第2の従来技術の問題点は、その応答速度面から、半導体チップにそのまま適用することが極めて困難な点である。第2の従来技術として参考文献2に挙げた、Beyer, J. et al., アプライド・フィジックス・レター (Appl. Phys. Lett.), vol.74, no.19, pp.2863-2865 (1999)、では、観測対象が生ウェハでのOBIC電流であり、その時定数は高々50マイクロ秒( $\mu s$ )であることが、その2865ページの本文4行目に、観測事実として記載されている。

【0011】一方、半導体チップ中で過渡的に発生するOBIC電流は、その電流を外部に取り出さない限り、その減衰は50 $\mu s$ に比べて、極めて速い場合が多い。半導体チップ中で発生するOBIC電流の減衰が極めて速い場合が多い理由は、半導体チップ中の素子や配線の構造が、高速動作が可能ないように設計されている場合が多いからである。具体的には、容量Cや抵抗Rの値で決まるCR時定数が、その半導体チップの最高性能を出すように設計されている場合が多い。このため、半導体チップ中で発生したOBIC電流も、その時定数程度で減衰する場合が多い。この時定数は例えば1GHzで動作する半導体チップであれば、1ナノ秒(ns)程度より速く、1ns程度より速く減衰するOBIC電流を検出するためには、SQUID磁束計の応答周波数も1GHz以上のものが必要である。現時点で経済的に利用可能なSQUID磁束計では、このように高速に減衰する磁束を検出することはできない。例えば、現時点で最も実用性の高い高温超伝導DC-SQUID磁束計の応答周波数は、1MHz程度が上限である。

【0012】以上が本発明のもとになった技術の課題であるが、ニーズ面からの課題を以下に述べる。

【0013】半導体デバイスがウェハプロセスで製造され、市場にでるまでの流れの中で、従来の検査方法で、チップ単位の良・不良の判定ができるのは、ウェハプロセスの最終段階で、ボンディングパッド形成後のウェハプロービングテストである。しかし、この段階ではじめ

て歩留まりが判明するのでは、開発・生産の計画が立ち難い。そこで、ウェハプロセス中で各種のモニターを行い、歩留まり予測をたてている。特に近年注目され、活用されているのが、パターン欠陥検査法あるいは異物・欠陥検査法などと呼ばれる方法である(以下、パターン欠陥検査法)。この方法では、レーザビーム照射時の反射・散乱や電子ビーム照射時の二次電子・反射電子放出を利用し、異物や欠陥のサイズ・形態・頻度・分布などを知ることができる。これを、ウェハプロセスの状態をモニターし、プロセス改善や歩留まり予測に利用している。しかしながら、このパターン欠陥検査法はその原理から来る欠点をもっている。それは、デバイスを構成するトランジスタや配線などの電氣的特性に関係した観測をしているわけではない、という点である。単に物理的異物や形状異常を観測しているに過ぎない。このため、出来上がるデバイスチップの良・不良の判定は、間接的なものにならざるを得ない。

【0014】本発明の目的は、従来の半導体チップの非破壊検査方法及び装置での、適用範囲の制限及び性能面での制約といった壁を打破し、新しい検査方法及び装置ならびにそれに関連する被検査構造を備えた半導体チップを提供することであり、それにより、半導体チップの生産性向上及び信頼性向上に寄与することにある。

【0015】具体的には、従来OBIC現象を用いて行われてきたふたつの技術を組み合わせることで、より適用範囲を広げるものである。より具体的には、従来半導体チップに対してp-n接合関連の欠陥検出や配線の断線検出などに用いられていた技術と、従来生ウェハに対して不純物濃度の不均一性を観測するために用いられていた非接触技術を、組み合わせることにより、半導体チップにおいても、被接触の検査ができる技術を提供することにより、半導体チップ製造工程でボンディングパッド完成以前のインラインモニタ、良・不良チップの選別といった検査を電氣的に行うことを可能にする。

【0016】また、ボンディングパッド完成後の検査においても、パッドの選択が不要な、効率的な検査を可能にする。更に、回路基板上に実装済みの状態での検査や不良・故障解析も可能にする。

【0017】

【課題を解決するための手段】本発明の非破壊検査方法は、波長が300nm以上、且つ1200nm以下の範囲内にあるレーザ光を発生させ、所定のビーム径に集光したレーザビームを生成する第1ステップと、検査対象である製造工程途中のウェハ状態及び実装状態を含む少なくとも基板中にp-n接合が形成された半導体チップの前記p-n接合及びその近傍に前記レーザビームが照射されたときにOBIC現象により発生するOBIC電流を流すための電流経路を所定の電氣的接続手段により構成する第2ステップと、前記レーザビームを照射しながら前記半導体チップの所定領域を走査する第3ステッ

ブと、この第3ステップで走査する各照射点において前記レーザービームにより発生する前記OBIC電流が誘起する磁束を磁束検出手段により検出する第4ステップと、この第4ステップで検出した前記磁束に基づいて前記半導体チップの当該照射点を含む前記電流経路における断線欠陥を含む抵抗増大欠陥又は短絡欠陥を含むリーク欠陥の有無を判定する第5ステップと、を含み構成されている。

【0018】このとき電流経路中に、容量Cと抵抗RからなるCR遅延回路を含むようにすることもできる。

【0019】また、電気的接続手段は、基板中にp-n接合を形成している拡散層領域に少なくとも一個所コンタクト孔を開口した前記半導体チップの基板の上面側全体に付着した導電膜とすることができる。

【0020】尚、第5ステップでは、正常状態では前記OBIC電流に対する電流経路が構成されない前記照射点で、第4ステップで検出した前記磁束が予め定めた規格値以上のとき、前記照射点を含む前記電流経路中に短絡欠陥を含むリーク欠陥があると判定し、正常状態で前記OBIC電流に対する電流経路が構成される前記照射点で、第4ステップで検出した前記磁束が予め定めた規格値未満のとき、前記照射点を含む前記電流経路中に断線欠陥を含む抵抗増大欠陥があると判定するようにできる。

【0021】また、レーザービームが最も絞られた照射点と、前記磁束を検出する前記磁束検出手段との相対的位置関係を固定したまま、前記レーザービームが前記半導体チップを走査するようにしてもよい。

【0022】また、半導体チップのp-n接合が形成されている基板の上面側全体に付着した導電膜の第1端部と、前記上面に対向する下面側に設けた第2端部を前記OBIC電流取り出し部として、前記第1端部と前記第2端部との間を所定の前記接続手段により接続することもできる。このとき、前記ウェハの基板の上面側全体に付着した導電膜は、製造工程途中で付着した膜が好ましい。この第2端部は、前記基板の平面形状の中心点を通りこの中心点と前記第1端部とを結ぶ直線に直交する領域分割直線で2分される前記第1端部を含まない領域に設けることができる。

【0023】また、検査対象の前記半導体チップは他のデバイスと共に回路基板上に実装された状態であり、前記OBIC電流の前記電流経路が前記半導体チップ中単独か、あるいは前記半導体チップと前記回路基板上とを含み構成することもできる。このとき、前記電流経路は、前記回路基板上の2箇所を所定の接続手段で短絡することにより、その発生する磁束ができる限り互いに打ち消しあわないようにするのが好ましい。また、前記回路基板上の前記電流経路の中で、その発生する磁束ができる限り互いに打ち消しあわない場所に前記磁束検出手段の位置を固定して、検査対象の前記半導体チップを前

記レーザービームで走査するようにしてもよい。

【0024】また、検査対象の前記半導体チップが、当該半導体チップ内に被検査領域及び前記電流経路を全て含むようにすることもできる。

【0025】また、検査対象である半導体チップがボンディングパッドを備え、前記電流経路が前記ボンディングパッドと当該半導体チップの辺端部との間で当該半導体チップを一周するようにしてもよい。

【0026】また、前記磁束検出手段は、高温超伝導タイプのDC超伝導量子干渉素子を含む超伝導量子干渉素子により構成するのが望ましい。

【0027】また、第4ステップで検出した各照射点の磁束に対応した輝度情報或いは色情報を生成して前記各照射点の座標情報と共に記憶手段に記憶する第7ステップと、前記輝度情報或いは色情報に基づき前記各照射点に対応させて前記半導体チップの所定領域を画像表示する第8ステップを更に含むこともできる。

【0028】また、検査対象であるウェハ状態及びチップ状態を含む第1半導体チップ及び第2半導体チップの各々について、波長が300nm以上、且つ1200nm以下の範囲内にあるレーザー光を発生させ、所定のビーム径に集光したレーザービームを生成する第1ステップと、前記レーザービームが検査対象である当該半導体チップの基板中に形成されたp-n接合及びその近傍に照射されたときにOBIC現象により発生するOBIC電流を流すための電流経路を所定の接続手段により準備する第2ステップと、前記レーザービームを照射しながら前記当該半導体チップの所定領域を走査する第3ステップと、この第3ステップで走査する各照射点において前記レーザービームにより発生する前記OBIC電流が誘起する磁束を磁束検出手段により検出する第4ステップと、この第4ステップで検出した前記磁束に基づいて前記半導体チップの当該照射点を含む前記電流経路における断線欠陥を含む抵抗増大欠陥又は短絡欠陥を含むリーク欠陥の有無を判定する第5ステップと、前記各照射点の磁束に基づいて輝度情報或いは色情報に変換し、生成して前記各照射点の座標情報と共に記憶手段に記憶する第7ステップとを施した後、それぞれがこの第7ステップで記憶した前記輝度情報又は色情報と前記照射点の座標情報を含む前記第1半導体チップの第1画像情報と第2半導体チップの第2画像情報とから差像情報を生成し記憶する第9ステップと、前記差像情報を表示する第10ステップと、を含むようにしてもよい。

【0029】このとき、前記第1半導体チップと前記第2半導体チップとは、少なくとも一方は良品である異なる半導体チップで且つ同一構成であり、更に前記レーザービームを照射しながら走査する各々の前記所定領域も同一構成であるのが望ましい。或いは、前記第1半導体チップと前記第2半導体チップとは、同一半導体チップで且つ前記レーザービームを照射しながら走査する前記所定

領域も同一であって、前記所定領域の電気的狀態が、一方は正常狀態であり、他方は被検査狀態であってもよい。

【0030】また、本発明の非破壊検査装置は、波長が300nm以上、且つ1200nm以下の範囲内にあるレーザ光を発生させる光源と、前記レーザ光を集光して所定のビーム径のレーザビームを生成するレーザビーム生成手段と、このレーザビームを照射しながら検査対象であるウェハ狀態及び実装狀態を含む半導体チップの所定領域を走査するレーザビーム走査手段と、前記レーザビームが前記半導体チップの基板中に形成されたp-n接合及びその近傍に照射されたときにOBIC現象により発生するOBIC電流が誘起する磁束を検出する磁束検出手段と、を少なくとも備えて構成される。

【0031】また、前記レーザビームが最も絞られた照射点と、磁束を検出する前記磁束検出手段との相対的位置関係を固定する第1固定手段、或いは、前記磁束検出手段の位置を前記回路基板上の前記電流経路のうち、その発生する磁束ができる限り互いに打ち消しあわない最適検出位置に固定する第2固定手段、をさらに備えることもできる。

【0032】また、前記磁束検出手段は、高温超伝導タイプのDC超伝導量子干渉素子を含む超伝導量子干渉素子により構成するのが好ましい。

【0033】また、前記磁束検出手段で検出した各照射点の磁束に基づいて、この磁束に対応する輝度情報或いは色情報を生成し、前記各照射点の座標情報と共に記憶する記憶手段と、前記輝度情報或いは前記色情報に基づき前記各照射点に対応させて前記半導体チップの所定領域を画像表示する画像表示手段と、をさらに含むこともできる。

【0034】また、記憶手段が、半導体チップの所定領域の各照射点の磁束に対応する輝度情報或いは色情報と、前記各照射点の座標情報と、を少なくとも含む画像情報であって、少なくとも前記所定領域が一致する複数の前記画像情報を有し、この複数の画像情報間で差像情報を生成する差像生成手段を更に含むこともできる。

【0035】また、本発明の半導体チップは、OBIC電流の電流経路中に、浮遊容量を含む容量及び寄生抵抗を含む抵抗を備えた被検査構造を有している。

【0036】また、被検査部及びOBIC電流の電流経路を含む被検査構造を全て内部に備えようにしてもよい。このとき、前記OBIC電流の前記電流経路中にCR遅延回路を更に有してもよい。

【0037】また、ボンディングパッドを備えたチップを有し、前記OBIC電流の前記電流経路が前記チップ上の全ての前記ボンディングパッドの外側を一周するようにしてもよい。

【0038】上述したように、本発明の非破壊検査方法或いは非破壊検査装置においては、p-n接合をレーザ

ビームで照射することにより発生するOBIC電流が、リーク欠陥を含む短絡箇所を電流経路の一部として流れることと、その電流が磁束を誘起することを利用して、また、現在現実的に利用可能な高感度な磁束計であるSQUID磁束計を用いるためには、OBIC電流の減衰時間が1μs程度以上であるか、定常電流であるような構成を用いることが、重要な要件である。このために電流経路を閉回路とするかCR遅延回路を電流経路中に挿入する。

【0039】基本的な構成は、レーザビーム（図1及び図2の2）と、発生したOBIC電流を流す電流経路（図1の600）、それに、誘起された磁束を検出する手段であるSQUID磁束計（図1及び図2の12）を有している。電流経路中にCR遅延を起こすための抵抗と容量（図2の670、660）を含んでもよい。

【0040】ウェハでの実施形態においては、図1、2の構成を基本にし、発生したOBIC電流ができるだけ長い電流経路を流れ、多くの磁束を発生させるようにするための手段をウェハ中に構成する場合もある（図3及び図4の201、202）。

【0041】また、実装ボード（回路基板）上での実施形態においては、発生したOBIC電流ができるだけ長い電流経路で流れるようにするための、別の手段を回路基板上に求める場合もある（図6の402）。

【0042】一般にTEG（Test Element Group、以下、単にTEGとする）と呼ばれる評価専用の被検査構造を用いた実施形態においては、発生したOBIC電流ができるだけ長い電流経路で流れるようにするための別の手段を被検査半導体チップ中に構成しておくことで検出感度を向上させることが出来る（図9の603）。

【0043】本発明では、レーザビーム照射の結果p-n接合で生じたOBIC電流で直接p-n接合の欠陥を検出するだけでなく、そのp-n接合と電氣的に直列に接続状態にある箇所が短絡される又はリーク経路が形成されることでできた電流経路を、OBIC電流が流れることを利用して、短絡を含むリーク箇所を検出する。その際、OBIC電流を直接検出するのではなく、その電流により誘起された磁束を検出することで、非接触な観測を可能にしている。また、電流経路中に寄生的なものも含むCR遅延回路を挿入することで、OBIC電流により発生した磁束の検出を容易にする場合もある。

【0044】また、電流経路中に断線欠陥を含む抵抗増大欠陥が生じたことによりOBIC電流が減少する或いは流れなくなることを利用して、断線欠陥を含む抵抗増大欠陥の非接触検出も可能にしている。例えば、図21は、本発明の発明者が実験により確認したOBIC電流が流れる経路中の抵抗値に対するOBIC電流値の依存性を示すグラフの一例である。より具体的には、通常のLSI製造工程で製造したLSI中のp-n接合の一部を、波長1064nmのレーザビームでLSIチップの



素子が形成されている表面側から照射した際のOBIC電流の値を、当該p-n接合と直列に接続した抵抗の値を変化させて測定し、横軸を抵抗値、縦軸を電流値として測定結果をグラフ化したものである。尚、横軸、縦軸共に対数目盛りで示してある。この図から分かるとおりOBIC電流が流れる電流経路中の抵抗値が増加すると、それに伴い、OBIC電流の値は減少する。例えば、経路中の抵抗値が1MΩのときのOBIC電流値は、経路中の抵抗値が100Ωのときよりも3桁以上減少する。電流により誘起される磁場の値は、ビオ・サバルの法則に示されるとおり電流値に比例する。従って、p-n接合と直列に接続されているOBIC電流経路中の断線欠陥を含む抵抗増大欠陥が、磁束の変化として容易に検出できることが分かる。また、逆に通常はOBIC電流経路が無いところに欠陥が生じたことによりこのような電流経路が出来た場合も、その電流経路が短絡と呼ぶに相応しい100Ω程度の場合だけでなく、リークと呼んだ方が似つかわしい1MΩの場合でも、弱いながらも磁束として検出可能な電流値(0.1μA)であることから、単に短絡欠陥が検出できるだけでなくリーク欠陥も検出できると言える。

【0045】OBIC電流により誘起された磁束を検出することで、ボンディングパッド形成以前の状態においても、断線欠陥を含む抵抗増大欠陥及び短絡欠陥を含むリーク欠陥の検出が可能となる。また、ボンディングパッド形成後においても、端子の選択をせずに、これらの欠陥の検出が可能となる。更に、回路基板に実装された状態においても、半導体チップ上のこれらの欠陥の検出が可能となる。OBIC電流が流れる電流経路或いはCR遅延回路を形成する手段は、その実施形態によりいくつかの場合に分けられる。

【0046】(1)ウェハ上面の全面に導電膜が付着している工程においては、この導電膜のみで(図20(a)の210、図20(b)の212)、或いはウェハ上面のその導電膜の1端(図3及び図4の201)と、基板側でその対面に当たる1端(図3及び図4の202)の、2箇所を同電位にすることで、OBIC電流の発生源に関わらず、ウェハの上面を通り、短絡を含むリーク箇所ならびにOBIC電流が発生したp-n接合を経由して、基板を通る電流経路(図3及び図4の6、あるいは図20の261や263で示した経路)ができる。

【0047】パッド形成済みのウェハを用いる場合には、全パッドを銀ペーストや金箔で短絡するかプローバを介して前パッドをショートするかなどして、同様の形態が実現できるが、この場合は、電流経路が複雑になる。また、電流経路ができない場合も多く、上記ほど効率的ではない。

【0048】ダイシング済み更にはパッケージに封止済みのチップを解析する場合も、上述のウェハをチップと

みなせば、基本的には同様の形態が実現できる。すなわち、チップ上面を露出するか、チップとパッケージ材との間に隙間を作るかして、チップ表面全体を銀ペーストや金箔などの導電膜で覆う。またチップ基板側は少なくとも電気的接点が必要な個所と、レーザ照射が必要な個所のみに露出すればよい。このような方法をとることにより、従来技術に比べ、電気的接続にかかるコストや工数を大幅に低減できる。あるいは、単に全ピンをショートしたソケットに装着するだけでもよい。ただし、パッドが形成された後では電流経路が形成されない場合が多く、効率的ではないのはウェハでパッド形成後に行う場合と同じである。また、パッケージ済みの場合はレーザを照射する側のチップがむき出しになっている必要があるが、SQUID側は必ずしもチップがむき出しである必要はない。

【0049】(2)ペアチップが回路基板上に実装された形態では、欠陥が発生している回路上の位置により、2端の選択には、いくつかの場合がある。一例として、回路基板の電源配線とチップの基板電位を、適切に選んだ回路基板上の位置で短絡することにより、回路基板上の長い基板配線(図6の402)を含み、チップ内のp-n接合及び短絡を含むリーク箇所を経由する電流経路を作ることができる。

【0050】(3)半導体チップを製造する工程の状態をモニターしたり、設計パラメータや工程パラメータの最適値を選択する目的で、TEGをチップ上に作り込む場合は、電流経路やCR時定数を自由に設定できる。例えば、チップの外周に沿ってスクライブライン上を一周する経路や、スクライブラインよりは内側でボンディングパッドよりは外側を一周する経路などは、経路長も長く、且つ経路が確定し磁束を検出しやすい電流経路である(図9の603)。

【0051】尚、上記(1)及び(2)の場合には、必ずしも短絡により電流経路を形成し、定常電流を検出するだけではなく、図2にその基本構成を示したように、直列に抵抗と容量を電流経路中に挿入することで過渡電流を、検出器の応答速度に合うように遅延させることにより、過渡電流を検出することもできる。この場合の容量や抵抗は寄生容量や寄生抵抗或いは浮遊容量をうまく利用すれば、特別の回路を設ける必要がない場合もある。

【0052】(1)、(2)に共通に言えることであるが、パッドや基板への電気的接続は何も施さなくとも、ある程度はチップ内部のみでの閉回路や、CR遅延回路は構成され、OBIC電流による磁束が検出される(図22)。このような状態で検出可能な欠陥の場合は、この方法が最も効率が良くなる。

【0053】

【発明の実施の形態】次に、本発明の実施形態について図面を参照して詳細に説明する。

【0054】まず、本発明の非破壊検査方法の基本構成について説明する。図1、2は、本発明の非破壊検査方法の基本構成を説明するための模式的な図で、それぞれOBIC電流が流れる経路を構成する電流経路が例えば銅線等の導電体配線のみで構成されている場合と電流経路中にCR遅延回路を含んで構成されている場合の例である。また、図1(a)、図2(a)は、欠陥が短絡欠陥を含むリーク欠陥(以下、単にリーク欠陥とする)の場合、図1(b)、図2(b)は、欠陥が断線欠陥を含む抵抗増大欠陥(以下、単に抵抗増大欠陥とする)の場合、である。

【0055】まず、図1(a)、(b)、図2(a)、(b)の全てに共通の構成について説明する。レーザビーム2と、レーザビーム2を照射した際にOBIC電流が発生するp-n接合1、そのOBIC電流6が流れる電流経路を構成する銅線等の導電体600(図1(a)、(b))又はCR遅延回路を構成する容量660と抵抗670(図2(a)、(b))を備えている。更にOBIC電流6が流れたことにより発生する磁束11とそれを検出するSQUID磁束計12を主要構成要素として備えている。図1(a)、図2(a)では、欠陥8が絶縁膜9に存在し、絶縁膜上の電極10とp-n接合1を構成する一方の拡散層とが短絡又はリークしている場合を示している。図1(b)、図2(b)では、抵抗増大欠陥28が内部配線15に存在している場合を示している。

【0056】本発明の非破壊検査方法は、少なくとも、波長が300nm以上、且つ1200nm以下の範囲内にあるレーザ光を発生させ、所定のビーム径に集光したレーザビームを生成する第1ステップと、このレーザビームが検査対象であるウェハ状態及び実装状態を含む半導体チップ(以下、単にチップとする)の基板中に形成されたp-n接合及びその近傍に照射されたときにOBIC現象により発生するOBIC電流を流すための電流経路を所定の電氣的接続手段により構成する第2ステップと、レーザビームを照射しながらチップの所定領域を走査する第3ステップと、この第3ステップで走査する各照射点においてレーザビームにより発生するOBIC電流が誘起する磁束を磁束検出手段により検出する第4ステップと、この第4ステップで検出した磁束に基づいてチップの当該照射点を含む電流経路における抵抗増大欠陥又はリーク欠陥の有無を判定する第5ステップと、を含み構成されている。

【0057】また、この検査を実施するに好適な非破壊検査装置50は、例えば図13の概略構成ブロック図に示すように、波長が300nm以上、且つ1200nm以下の範囲内にあるレーザ光を発生するレーザ光源51と、所定のビーム径に集光したレーザビーム2を生成するレーザビーム生成手段である光学系53と、レーザビーム2が検査対象であるウェハ状態及び実装状態を含む

チップの基板中に形成されたp-n接合及びその近傍に照射されたときにOBIC現象により発生するOBIC電流が誘起する磁束を検出する磁束検出手段であるSQUID磁束計12と、装置全体を制御する制御装置56と、記憶装置57と、表示装置58と、このレーザビームを照射しながら検査対象であるウェハ状態及び実装状態を含むチップの所定領域を走査する図示されていないレーザビーム走査手段と、を備え構成されている。

尚、レーザビーム走査手段は、例えば検査対象であるチップ或いは複数のチップが整列状態で配列されたウェハをX-Yステージに搭載して移動させてもよいし、逆に光学系53を移動させてもよく、更に光学系53の中に偏向ミラー等を設けてレーザビーム2を偏向させるようにすることもでき、目的に応じて適切な手段を選択すればよい。場合によってはSQUID磁束計を走査させる。また、図14に示すように、例えば制御装置56からの変調信号によりレーザビーム強度を変調する変調装置52と、SQUID磁束計12からの信号を同期増幅するロックイン・アンプ55を更に備えてもよい。また、レーザビーム2が最も絞られた照射点と、磁束を検出するSQUID磁束計12との相対的位置関係を固定する第1固定手段60、或いはSQUID磁束計12の位置を検査対象チップが搭載された回路基板上の最適検出位置に固定する第2固定手段(図示せず)は、図示は省略するが、それぞれ光学系53を支持する筐体、或いは回路基板を保持する試料台に固定されたアームに微動ユニット61を装着しておき、この微動ユニット61を介してSQUID磁束計12を取り付けるようにしておけばよい。この微動ユニット61を利用してSQUIDの走査を行うこともできる。

【0058】次に、本発明の第1の実施形態について図面を参照して詳細に説明する。

【0059】第1の実施形態は、複数のチップが整列状態で配列されたウェハ状態で製造工程途中に、断線を含む抵抗増大箇所或いは短絡を含むリーク箇所を検出する場合の形態である。特に、製造工程途中で、最上層に電極用の導電性薄膜が全面に形成された工程で検査する場合を示す。図3は、欠陥部を含む主要部の構成を模式的に示す断面図、図4は主要構成を示す模式的な斜視図である。図3(a)は検査対象ウェハ全体の模式的な断面図であり、図3(b)、(c)はそれぞれ、リーク欠陥の場合と抵抗増大欠陥の場合の、欠陥とp-n接合を含む箇所の詳細を模式的に示す断面図である。

【0060】まず図3(a)を参照しながら説明する。その際必要に応じて、図3(b)、(c)も参照する。検査或いは観測を行う段階は、ウェハ100上に内部配線を構成していく工程の途中で、全面に電極用などの導電性薄膜101が付着した段階である。図3(a)は、細く絞ったレーザビーム2を、ウェハ100の裏面側から照射して表面側に焦点を合わせ、走査している途中

で、欠陥とp-n接合の有る箇所103の、欠陥と直列に有るp-n接合(図3(b)或いは図3(c)の1)を照射した瞬間を示している。このときに発生するOBIC電流6の経路も図中に示す。B1-B2間は図3では図示されていない銅線等の導電体(図1, 13の600)で接続してある。また、図ではレーザービーム2をウェハ100の裏面側から照射しているが、場合によっては表面側から照射してもよい。

【0061】波長が1064nm及び1152nmのレーザー光はシリコン(Si)中での減衰が少ないため、ウェハの裏面側からチップ表面付近の照射ができる。これは、SQUID磁束計12をウェハ表面側に配置できるため、磁束計とOBIC電流6の経路が近くなり、検出磁束が大きくなるという利点がある。

【0062】表面側からのほうがレーザービームを照射しやすい場合は、波長が488nmのArレーザー、633nmのHe-Neレーザー、などを用いる。波長が短いほど、得られる像の空間分解能が良くなり有利である。

【0063】尚、波長が1200nm程度以上のレーザーを用いるとOBICはほとんど発生しなくなる。例えば、1300nmの波長ではOBICの発生が押さえられる一方、欠陥部にレーザーを照射したときに熱起電力電流が発生するような欠陥が存在することが知られている。この熱起電力電流値は通常1nA程度以下であり、OBIC電流の方が1μAから場合によっては100μA以上と3桁から5桁以上大きい。本発明においてレーザーの波長領域を1200nm以下に限定したのは、このような理由から積極的にOBIC電流を利用しようという意図によるものである。

【0064】このOBIC電流での発生磁束を大きくするためには、電流経路が長いほうがよい。電流経路が最も長くなるように、最上層全面付着導電性薄膜101を付着したウェハ100の任意の端部の導電性薄膜101を第1端部である電流取り出し部201とし、ウェハ100の中心点に対してこの電流取り出し部201と点対称の位置で、ウェハ基板部102の下面側を第2端部である電流取り出し部202として設け、ウェハ上で最も遠くに離れるようにする。この様子は図4も併せみるとよく分かる。図4では、電流経路が電流取り出し部201, 202及びOBIC電流発生部(欠陥とp-n接合の有る箇所103)では集中し、その間では広がる様子も示してある。電流取り出し部201, 202の間すなわちB1-B2間を銅線等の導電体600で短絡することによりOBIC電流の電流経路が構成されて定常電流が流れ、定常電流が定常磁束を発生し、それを検出できる。

【0065】また、図13(c)のように、B1-B2間に、容量660と抵抗670を直列に挿入して電流経路を構成することで、過渡電流の減衰を遅延させ、応答が遅い磁束検出器でも過渡電流による磁束を検出できる

ようにすることもできる。容量660や抵抗670は、寄生容量や浮遊容量或いは寄生抵抗を利用してもよい。また、電流取り出し部201, 202の間を導電体600で短絡する際に、電流経路が、ウェハ基板中及び電極材料膜のOBIC電流6が作る磁束を弱めないように設定する必要があることはいうまでもない。これは、例えば電流取り出し部201, 202に接続した例えば銅線等の導電体600からなる電流経路をウェハ100から十分遠くまで延ばした後、ウェハ100から十分離れたところで短絡すればよく、技術的に困難な点は何もない。

【0066】OBIC電流がウェハ基板部及び電極材料膜中を流れる経路は、図4で示したとおり、電流取り出し部201, 202とOBIC電流の発生源(欠陥とp-n接合の有る箇所103)では狭い範囲に集中するが、その途中は広がる。磁束は電流経路が狭いところで検出したほうが効率がよいので、OBIC電流発生源の近傍にSQUID磁束計12を配置するのが効率的である(図4でSQUID磁束計12の位置が離れて書いてあるのは、見やすくするためである)。

【0067】OBIC電流発生源は常に照射点となるレーザービーム焦点位置であるから、レーザービーム2の焦点位置とSQUID磁束計12の相対位置は固定したまま、ウェハを走査するのが効率的であることが分かる。

【0068】次に、第1の実施形態の動作について、図5のフローチャートを参照し、併せて、図3, 4, 13, 14も適宜参照しながら説明する。ここでは、既に説明した事項の詳細は適宜省略し、流れが理解できるようにする。

【0069】まず、ウェハ100の表面全面に導電性薄膜101が付着した状態で、ウェハ100の電流取り出し部201, 202間すなわちB1-B2間を導電体600で短絡する。次に、ウェハ100とSQUID磁束計12の距離を定める。一般的にはできる限り近づけるほうが、検出磁束が大きくなり有利である。ウェハ100とSQUID磁束計12の間が真空の場合は接触しない範囲で可能な限り近づけることができる。0.1mm程度までは容易に近づけることができる。

【0070】次に所定のレーザー光源51で発生させたレーザー光を集光して所定のビーム径としたレーザービーム2を照射し、レーザービーム2の焦点をウェハ上のp-n接合がある位置に合わせる。

【0071】次に、SQUID磁束計12をウェハ100の面と平行な面内で移動させてレーザービームの焦点位置とSQUID磁束計12の中心の相対位置を、検出磁束強度が最大になると予測される位置に合わせ、第1固定手段60で固定する。検出磁束強度が最大になると予測される位置は、通常は、電流経路を含み磁束検出面と垂直に交わる面とSQUID磁束計12の中心の距離が、ウェハ100とSQUID磁束計12の距離h程度

10

20

30

40

50

離れた位置である。本実施形態の場合、電流経路の幅が狭くなるレーザビームの焦点位置と、SQUID磁束計12の位置を、斜視図(図4)で見て、電流取り出し部201、202を結ぶ直線と直角方向の距離が、この距離h程度になるように設定する。

【0072】次にウェハを移動させて、レーザビーム2によるウェハの走査を開始する。各照射点毎に磁束を検出し、検出した磁束に応じて輝度情報或いは色情報を生成して、磁束も含めて各照射点の座標情報とともに記憶装置57に記憶し、併せて生成された輝度情報或いは色情報に基づいて、やはり表示装置58に表示する。これを順次繰り返していく。検出磁束の信号対ノイズ比(S/N)が十分でない場合は、変調装置52で制御装置56からの変調信号によりレーザビーム2の強度を変調し、変調信号に同期させてロックイン・アンプ55で信号を増幅することで、S/Nを大幅に改善できる。検出磁束の表示位置は、ウェハ上のレーザビーム照射位置、したがってOBIC電流発生位置に対応しており、得られる画像(以下、走査レーザSQUID像という)はOBIC電流発生位置を示すものとなる。また、ウェハ上の具体的なOBIC電流発生位置は、レーザビームの反射光をフォトダイオードで検出し、像として表示したもの、すなわちレーザ走査像と対応をとることにより容易に分かる。

【0073】OBIC電流発生位置が、正常な箇所か、欠陥に関係した箇所かは、観測工程がどのような工程であるかに依存する。図3(b)の場合のように絶縁膜上に電極材料膜111が全面付着した工程で観測を行う場合は、OBIC電流発生位置の直ぐ上にリーク欠陥が有る。図3(c)の場合のように内部配線を形成する配線用薄膜151が全面付着した工程で観測を行う場合は、本来OBIC電流が発生する位置で、OBIC電流が発生しなかったり電流値が大幅に減少しているときに、そのp-n接合1と直列に接続されている内部配線15で、抵抗増大欠陥28が発生している。この場合、断線を含む抵抗増大位置を認識するためには、事前に取得したある良品での走査レーザSQUID像と比較する。比較を容易にするためには、図5のフローの最後に示したように、図示されていない差像生成手段により差像を生成するとよい。良品での像に良品サンプル間のバラツキが大きい場合には、多数の良品サンプルでの像の各ピクセル毎の輝度分布を元に規格値を事前に設定しておき、被検査サンプルに対しては、その規格値に基づいて良否を判定すればよい。勿論その場合、正常品ではOBIC電流が流れない点では予め定めた規格値以上のOBIC電流が流れるときにリーク欠陥が有ると判定し、逆に正常品でOBIC電流が流れる点では、規格値未満のとき、断線欠陥を含む抵抗増大欠陥が有ると判定する。画素毎の差をとり差像を得ることで、欠陥だけに関係した像が得られる。図3(b)と図3(c)がミックスし

ような工程で観測を行う場合は、良品との走査レーザSQUID像の差像を生成することは必須である。尚、差像生成手段は、例えば、制御装置56にマイクロコンピュータ(以下、MPUとする)を備えさせ、ソフトウェアによりこのMPUで処理させるようにすれば容易に実現できる。

【0074】正常品では発生すべきでないOBIC電流が発生した位置、或いは発生すべきOBIC電流が発生しない或いは減少している位置(以下、まとめてOBIC異常位置とする)を見やすくするためには、本発明による走査レーザSQUID像或いはその差像とレーザ走査像とを重ね合わせて表示すればよい。OBIC異常位置をチップ単位で認識することで、不良チップの検出ができ、歩留の事前予測ができる。また、チップの内部の詳細位置を認識することで、不良・故障解析ができ、製造工程や設計の改善につながる情報が得られる。

【0075】尚、同一チップでも観測時の温度を変えることで、良品が不良状態になったりする。この場合は、上述の「良品」、「不良品」という言葉を「良品状態」、「不良状態」と読み替えれば、上の説明はそのまま成り立つ。

【0076】ボンディングパッド形成前に不良チップであることを認識するという事は、従来の手法では極めて困難なことであった。このため本方法を使うことで、従来方法では極めて困難であった精密な歩留まり予測が可能になる。精密な歩留まり予測をすることにより、コストの正確な予測や納期の正確な予測が可能となる。

【0077】不良解析やモニターの目的で、チップ内部の詳細位置を認識する必要がある際には、リーク電流経路の観測が必要になる場合がある。そのような場合は、レーザとチップの相対位置を固定したままSQUIDを走査すれば良い。この場合は走査レーザSQUID像のような高分解能を得るのは困難であるが、ある程度の電流経路の特定は可能である。

【0078】本発明による走査レーザSQUID像とレーザ走査像の空間分解能はレーザビームのビーム径程度である。レーザビームのビーム径を、レーザ光の波長と使用している対物レンズの開口数で決まる回折限界ぎりぎりまで上げることは、技術的に難しい。例えば、波長488nmのArレーザを用いた場合、対物レンズの開口数が0.80であると、回折限界は約370nmである。この程度の精度でOBIC異常位置を特定できる。

【0079】尚、上記説明では第2ステップにおける電流経路を構成する方法として、ウェハ100の外部で銅線等の導電体600により電流取り出し部B1-B2間を接続した例を示したが、必ずしもウェハ100の外部で接続しなくてもよい。例えば、半導体チップを製造する製造工程途中のウェハの場合、内部接続配線を形成するための各配線層の配線金属膜を堆積する工程を第2ス

トップとすることもできる。図20は半導体チップの製造工程途中でのp-n接合部近傍の断面を模式的に示す図で、(a)、(b)はそれぞれ第1層配線金属膜を堆積した段階と第2層配線金属膜を堆積した段階での断面図である。第1層配線金属膜及び第2層配線金属膜としては、例えばアルミニウム(A1)膜をそれぞれ所定の厚さ堆積している。尚、コンタクト部金属膜221としては、チタンシリサイド(TiSi)やコバルトシリサイド(CoSi)等の所定のバリア金属膜や、タングステン(W)のようなプラグ金属等を用いることができ、いずれも必要に応じて形成すればよく、また材料がこれらに限定されるものでもない。図20を参照すると、第1層A1配線膜210及び第2層A1配線膜212は、それぞれを堆積した段階で、OBIC電流の電流経路を形成する接続手段となっていることが分かる。例えば、接続手段が第1層A1配線膜210の場合は、ほとんど全てのp-n接合に対してOBIC電流の電流経路を形成しているが、経路長はやや短くなる場合がある。具体的には、例えばn型拡散領域233とp型基板230とで形成されるp-n接合716にレーザービーム2が照射されると、基板コンタクト部243、第1層A1配線膜210、n型拡散領域コンタクト部246を通る電流経路が形成されOBIC電流263が発生する。また、n型拡散領域241とp型拡散領域231とで形成されるp-n接合715にレーザービーム2が照射されると、p型拡散領域コンタクト部245を介して第1層A1配線膜210、n型拡散領域コンタクト部244を通る電流経路が形成されOBIC電流261が発生する。

【0080】また、接続手段が第2層配線A1膜212の場合は、OBIC電流の電流経路を形成できるp-n接合は限定されるが、コンタクト孔のみならず第1層配線、1-2層間接続孔及び第2層配線金属膜を経由するので経路長が長くなり、検出感度の点で有利になると共にこれらの欠陥も検出可能となる。具体的には、例えばn型拡散領域233とp型基板230とで形成されるp-n接合716は、レーザービーム2を照射しても電流経路が形成できないためOBIC電流は流れない。しかし、n型拡散領域241とp型拡散領域231とで形成されるp-n接合715にレーザービーム2が照射されると、p型拡散領域コンタクト部245を介して第1層A1配線215、1-2層間接続孔充填金属2235、第2層A1配線膜212、1-2層間接続孔充填金属2234、第1層A1配線214、n型拡散領域コンタクト部244により電流経路が形成されOBIC電流261が発生する。また、改めて図示しないが、更に多くの配線層を有している場合も、同様にしてそれぞれの配線層を形成する金属膜を堆積した段階で、観測可能なp-n接合の制約は大きくなるが、当該金属膜が接続手段となってOBIC電流の電流経路を形成できる。従って、いずれの場合もウェハ外部で銅線等の導電体による接続を

施さなくてもレーザービームの照射によりOBIC電流が流れ、それによる発生磁束11をSQUID磁束計12で検出することにより経路中の抵抗増大或いはリーク欠陥などの有無を検出できる。

【0081】リーク欠陥が検出出来る場合は、例えば、図20(b)の前の工程、すなわち、212の第2A1配線膜が堆積される前を考えると簡単で分かり易い。その段階の図20(b)と同じ個所の断面を図20(c)にしめす。図20(c)に図示した範囲では、欠陥が存在しないときにレーザー照射に伴うOBIC電流を発生するような構造はない。n型拡散領域コンタクト部244に接続されている第1層A1配線214と243の基板コンタクト部に接続されている第1層A1配線213とがリーク欠陥86でブリッジされた場合に、p-n接合717でレーザー照射により、基板コンタクト部243、第1層A1配線213、リーク欠陥86、第1層A1配線214、n型拡散領域コンタクト部244を通るOBIC電流が流れる閉回路が形成される。

【0082】レーザーSQUID像で断線が検出できた例を図24に示す。図24(a)が断線前の走査レーザーSQUID像、図24(b)が断線後の走査レーザーSQUID像、図25が関連個所のチップの断面と断線個所を示す概念図である。この例で示す断線欠陥はFIB(focused ion beam、集束イオンビーム)を用いて人工的に作り込んだものである。図25で示す構造は基本的には図20に示したCMOSの構造と同じで、異なる断面で関連個所のみを示している。図20ですでに述べた構造に関する説明は適宜省略して説明する。図25(a)において、レーザービーム2がp-n接合717に照射されると、基板コンタクト部243、第1層A1配線216、1-2層間接続孔充填金属2233、第2層A1配線膜212、1-2層間接続孔充填金属2234、第1層A1配線215、n型拡散領域コンタクト部244を通るOBIC電流が流れ、その結果磁束11が発生し、SQUID磁束計12により検出される。このようなプロセスで得られた像が図24(a)である。このとき用いたレーザーの波長は1064nmで、チップの裏面側から照射し、SQUID磁束計はチップ上面約0.5mm離れた個所に配置した。図24(a)で右辺および右下に見られる黒いコントラストが図25(a)の717のp-n接合にレーザーが照射された際に発生した磁束によるコントラストに相当する。この像を取得した後、図25(b)の抵抗増大欠陥284で示すような断線欠陥を、FIBを用いて2箇所、離れた所に作り込んだ。その後、このサンプルで取得した走査レーザーSQUID像が図24(b)である。白い矢印で示した2箇所黒いコントラストが無くなっていることが分かる。この2箇所がFIBで断線欠陥を作り込んだ個所に対応している。このように断線欠陥が存在することで、レーザービーム2をp-n接合717に照射してもOBIC電流の流れる

閉回路が形成されない場合は、磁束の発生もなくなることが、実験的にも明確に示されている。この実験例からも分かる通り、図25(b)に抵抗増大欠陥285で示されるような基板コンタクト部の高抵抗欠陥や、抵抗増大欠陥286で示されるような層間接続孔充填金属部の高抵抗欠陥の検出にもレーザSQUIDが有効である。

【0083】尚、本実施形態の変形として、例えばパッド形成済みのウェハを用いる場合には、電流経路が複雑になる場合や、電流経路ができない場合も多く、上記ほど効率的ではないが、全パッドを銀ペーストや金箔で短絡するなどして、同様の形態で短絡箇所や断線箇所を検出できる。プローバを用いて全パッドを短絡することで電流経路を形成するのも場合によっては簡便な方法である。また、パッケージに封止済みのチップを解析する場合も、チップを上記のウェハとみなせば、基本的には同様の形態が実現できる。すなわち、チップ上面を露出するか、チップとパッケージ材との間に隙間を作るかして、チップ表面全体を銀ペーストや金箔などの導電膜で覆う。また基板側は少なくとも電気的接点領域やレーザ照射領域がとれる程度に露出すればよい。このような方法をとることにより、従来技術に比べ、電気的接続にかかるコストや工数を大幅に低減できる。ただし、パッドが形成された後では電流経路が形成されない場合が多く、効率的ではないのはウェハでパッド形成後に行う場合と同じである。

【0084】以下にパッケージ済みのチップの全ピンをパッケージのピンにおいてショートするだけでも、ある程度有効な検査ができることを示す具体例を説明する。用いたサンプルは最小寸法0.18 $\mu$ mのBiCMOSプロセスを用いて設計・製造した、3層Al配線のLSIである。チップサイズは3.1mm $\square$ で100ピンのQFP(Quad Flat Package)にパッケージ後、全ピンに対してESD(静電破壊)試験を行い、通常の電気的テストの結果不良と判定されたものである(以下不良サンプルと呼ぶ)。比較のために、通常の電気的テストでは正常と判定されたサンプル(以下良品サンプルと呼ぶ)の観測も行った。走査レーザSQUID法による観測の前に、良品サンプル、不良サンプルともに、チップ表面側のプラスチックを、発煙硝酸を用いた通常の開封方法で除去し、チップ表面を露出させた。走査レーザSQUIDによる観測では、1064nmの波長のレーザビームをチップ表面側から照射し、チップ裏面側に配置したSQUIDで磁束を検出した。図22が全ピンを解放にした状態で取得した走査レーザSQUID像、図23が全ピンを短絡した状態で取得した走査レーザSQUID像である。各々(a)が不良サンプルの像、(b)が良品サンプルの像、である。走査範囲は全て、チップ全体を含む3.5mm $\square$ の領域である。まず、図22と図23をみてすぐに気が付く違いは、図22に比べ図23の方が白黒のコントラストがみられる領域も強度も増

えたことである。白と黒のコントラストは、SQUID磁束計が検出する磁束の上向き成分と下向き成分の強度に応じて表示している。これら4枚の像の取得条件は、上述のサンプルの違いと短絡か解放の違い以外は全て同じである。従って、全ピンを解放した条件で取得した図22に比べ、全ピンを短絡した条件で取得した図23の方が白黒のコントラストがみられる領域も強度も増えたことというのは、全ピンをショートすることにより、パッケージのピンをOBIC電流経路の一部とする電流経路が増え、その結果、磁束が発生する箇所および強度が増えたことを意味している。次に、図22および図23の各々で、(a)すなわち不良サンプルの像と(b)すなわち良品サンプルの像を見比べる。図22では両者の違いは顕著ではないが、図23では両者の違いが顕著であることが分かる。この意味するところは、図23のような像の取り方、すなわち全ピンを短絡した状態で走査レーザSQUID像を取得することで、従来行われているLSIテスタによる検査をせずともチップの良否の判定が簡単に行えるということである。これは、既にそのチップを検査するためのテスタ、テストプログラム、治具などを持っている場合には、利点は少ないが、そのようなテストのための装置など一式を事前に揃えていない場合には有効である。その最大の理由は、LSIテスタによる検査と異なり、テストプログラムや測定治具などのチップの品種に依存する準備が一切不要であることである。それらの準備に要するコストおよび時間が節減できる。また、非常に高価なLSIテスタを使わなくとも良いという点でも検査コストの節減になる。

【0085】次に、本発明の第2の実施形態について図面を参照して詳細に説明する。

【0086】第2の実施形態は、パッケージなしで直接回路基板に実装されたチップについて、実装状態でチップ上の欠陥を検出する場合の形態である。特に、フリップチップ形態で実装された状態でチップ上の欠陥を検査する場合を示す。図6は、本実施形態の主要構成を示す模式図である。図7は、図6の中の解析対象であるチップ301の欠陥発生箇所の例を説明するための図で、

(a)、(b)はそれぞれリーク欠陥の場合と抵抗増大欠陥の場合の模式的な断面図である。

【0087】まず、全体の構成について、図6を参照して説明する。途中で必要に応じて、図7を参照し、解析対象チップの欠陥箇所の構成例を説明する。チップ301は、回路基板401上にベアチップのままで、フリップチップ形態で、すなわちトランジスタ等の素子が形成されたチップ表面側を回路基板401に向けて、実装されている。この形態では、レーザビーム2はチップ301の裏面側から入射する。尚、チップ裏面側に樹脂などがある場合は、その箇所のみチップ裏面側をむき出しにする必要がある。またチップ裏面は研磨を施すことで散乱を防いだ方がレーザの集光性がよくなり解析の感度お



よび精度が上がる。回路基板401上には、解析対象外のデバイス501も多数存在する。ここでは、その一部を示している。本実施形態では、このような回路基板401上に多数存在する他のデバイスや部品などに関わりなく、解析対象であるチップ301の解析ができるのが特徴である。他のものの存在に関わりないという具体的な意味は、それらの電気的特性に影響されないばかりでなく、それらを破壊或いは劣化させることもない、ということである。

【0088】配線は説明に関係するもののみを示した。10  
ここでは、関係する配線は、電源配線1012とチップ基板と同電位の配線1022であり、電流取り出し部203、204の間、すなわちC1-C2の間は図示されていない銅線等の導電体で接続されている。これは一例であり、このような配線の対に限定される訳ではなく、以下で述べるような電流経路を構成し、電流経路の一部で磁束が検出できるという要件を満たす対であれば、どのような対でもよい。

【0089】ここで、このような対が具体的にはどうなっているかを説明すると共に、欠陥発生箇所とOBIC 20  
電流が発生するp-n接合の関係が具体的にどうなっているかを説明するために、例として、図7(a)及び図7(b)を参照しながらその構成を説明する。図7(a)は、図6で示した解析対象であるチップ301にリーク欠陥が有る場合の例を説明するために、CMOSで構成したインバータ回路の素子構造の断面を模式的に示したものである。尚、説明に関係のない構造部分の図示は省略してある。また、短絡箇所を4箇所示したが、これらが同時に起きていることを意味するものでなく、4通りの場合を説明するためのもので、これらの中の任意の一つ、或いは任意の複数の組み合わせで発生している。30

【0090】まず、インバータ回路を構成する素子部分を説明する。チップ基板はp型基板302を用いている。pチャンネルMOS型トランジスタ（以下、PMOSとする）331は、n型拡散層で形成されたnウェル303の中に形成されており、ソース及びドレインとなるp+拡散領域304と、ゲート絶縁膜91及びゲート電極3101で構成されている。nチャンネルMOS型トランジスタ（以下、NMOSとする）332は、ソース及びドレインとなるn+拡散領域305と、ゲート絶縁膜92及びゲート電極3102で構成されている。

【0091】次に、インバータを構成するための結線について説明する。入力端子311はNMOS332及びPMOS331双方のゲート電極に結線されている。出力端子312は両トランジスタのドレイン電極に結線されている。PMOS331のソースは図6の電源電位配線1012へ、NMOS332のソースは図示されない接地電位端子1032へと接続されている。p型基板302は、図7の基板電位端子310から図6の配線1

022に接続されている。4つのリーク欠陥は、前述のとおり4通りの場合を示している。その各々の場合について、回路基板401上でどの配線が対として選ばれると、そのリーク欠陥が検出できるかを説明する。

【0092】（場合1）：リーク欠陥81はPMOS331のゲート電極3101と、nウェル303が短絡した場合、すなわちゲート絶縁膜91が短絡した場合である。この場合に対となるのは、入力端子311が接続された配線（図6では示していない）と、基板電位端子310が接続された図6の配線1022、である。この場合には、リーク欠陥が存在した場合に、nウェル303とp型基板302の間のp-n接合1001がOBIC電流の発生源となる。

【0093】（場合2）：リーク欠陥82はPMOS331のソース電極と、nウェル303が短絡した場合である。この場合対になるのは、PMOS331のソース電極が接続された図6の電源配線1012と、基板電位端子310が接続された図6の配線1022、である。すなわち、この場合が図6に示した場合に相当する。この場合にも、リーク欠陥が存在した場合に、nウェル303とp型基板302の間のp-n接合1001がOBIC電流の発生源となる。

【0094】（場合3）：リーク欠陥83はNMOS332のゲート電極3102と、n+型拡散領域305が短絡した場合である。この場合対になるのは、入力端子311が接続された配線（図6では示していない）と、基板電位端子310が接続された図6の配線1022、である。この場合には、リーク欠陥が存在した場合に、n+拡散領域305とp型基板302の間のp-n接合1003がOBIC電流の発生源となる。

【0095】（場合4）：リーク欠陥84はゲート電極3102とp型基板302が短絡した場合、すなわち、ゲート絶縁膜92が短絡した場合を示している。この場合対になるのは、入力端子311と同電位の配線（図6では示していない）と、図示されていない接地電位端子1032、である。この場合にも、リーク欠陥が存在した場合に、n+拡散領域305とp型基板302の間のp-n接合1003がOBIC電流の発生源となる。

【0096】実際のCMOSデバイスではこのような基本回路構成だけでなく、次の例でもあるようにn型ウェルを電源電位に接続するなど、より複雑な接続をすることも多いが、ここでは説明を簡単にするために、説明に関係のある構造のみに限定して説明するが、レーザSQUIDの応用がここで言及した場合のみに限定される訳ではない。

【0097】次に、抵抗増大欠陥の場合を説明する。図7(b)は、図6で示した解析対象であるチップ301に抵抗増大欠陥が有る場合の例を説明するための図で、CMOSで構成したインバータ回路の素子構造の断面を模式的に示したものである。基本的な構成は図7(a)

の場合と同じなので、以下の説明に関係しない構造の名称は省略してある。図7(a)の場合とは、 $n$ ウェル303の中に $n$ +拡散領域307が設けられている点のみが異なる。この $n$ +拡散領域307は電源配線1012へ接続されている。欠陥は、抵抗増大欠陥281、282を示している。この欠陥は $n$ +拡散領域307の電極から電源配線1012までの電氣的経路中に存在する抵抗増大欠陥なら全て該当する。この場合対になるのは、図6の電源配線1012と、基板電位端子310が接続された図6の配線1022、である。すなわち、この場合が図6に示した場合に相当する。この場合は、抵抗増大欠陥281、282が存在した場合には、 $n$ 型ウェル303と $p$ 型基板302の間の $p$ - $n$ 接合1001にレーザビームを照射したときに流れるOBIC電流が欠陥がない場合に比べて大幅に減少する、或いは全く流れなくなる。

【0098】本実施形態でも、図6に示すように、第1の実施形態同様、2箇所の電流取り出し部203、204を設ける。電流取り出し部203、204の位置は、次の要件を満たすような箇所を選ぶ。この選択は、場合によっては試行錯誤で行う必要が有る。その理由は、上述のように欠陥が存在する箇所や欠陥の種類により、対が異なることと、その対となる配線が回路基板401上のどこを通過しているかの正確な情報がない場合もあることによる。正確な情報に基づいて選ぶ場合でも試行錯誤で選択する場合でも、以下の要件を満たす必要が有る。

【0099】すなわち、電流取り出し部203、204の間すなわちC1-C2間を銅線等の導電体により短絡することで、電流経路を作ることと、短絡したことで、観測すべき経路での磁束を弱めるような新たな磁束を発生させないようにする必要が有る。これは、第1の実施形態と同じである。第1の実施形態と異なる点は、磁束を検出する箇所である。第1の実施形態同様、チップ内の電流経路から発生する磁束を検出できる場合は、それでもよいが、電流経路中に回路基板401上の長い基板配線が存在する場合は、そこで発生する磁束を検出するほうが、検出磁束が大きくなるため、感度的に有利である。図6では、このような計測対象基板配線402とそこで発生する磁束11、その磁束を検出するSQUID磁束計12を示した。もしも、事前に通常の電氣的観測で、解析対象であるチップの2端子間の電流電圧測定が可能な場合には、 $p$ - $n$ 接合の特性がみられる対を選べばOBIC電流が観測できることは、以上の説明から明らかであろう。また、チップ内の電流経路から発生する磁場を検出できる場合は、可能な限りのピンをショートして試みるのも、速効性が期待できる方法である。

【0100】次に、第2の実施形態の動作について、図8のフローチャートに従って、適宜図6、7、13、14も参照しながら説明する。ここでは、既に説明した事項の詳細は適宜省略し、流れが理解できるようにする。

【0101】まず、回路基板401上の電流取り出し部203、204の間を、銅線等の図示されていない導電体により短絡する。上述の通り、場合によっては、短絡する配線を選択するのではなく、可能な限りの配線を短絡するのが最も速効性がある。次に、電流経路に含まれる回路基板401上の基板配線で、直線部配線長が長く、磁束が多く発生していそうな箇所を、検出器が接近できる箇所を選び、SQUID磁束計12を固定する。場合によっては、チップ301付近にSQUID磁束計12を固定してもよい。次にレーザビーム2を照射し、レーザビーム2の焦点をチップ301の表面側に合わせる。本実施形態のようにチップ301の裏面側が露出している場合は、レーザビーム2はチップ301の裏面側から照射し、焦点は表面側に合わせる。

【0102】次にレーザビーム2を移動させてチップ301の走査を開始する。チップ301付近にSQUID磁束計12を固定した場合は、回路基板全体を走査する。勿論、これが有効な場合は、チップの内部のみで形成される電流経路が有効に働く場合もあることは言うまでもない。レーザビームによるチップ301の走査と同時に、磁束の検出ならびに、検出磁束の表示をはじめ。検出磁束で十分な $S/N$ が得られない場合は、変調装置52でレーザビーム強度を変調し、ロックイン・アンプ55で信号を増幅することにより、 $S/N$ を大幅に改善できることは第1の実施形態の場合と同じである。検出磁束の表示位置は、チップ301上のレーザビーム照射位置に対応しており、レーザビームの反射光をフォトダイオードで検出し、像として表示したもの（レーザ走査像）と対応をとることにより、OBIC電流発生位置が分かることも前述のとおりである。OBIC電流発生位置を見やすくするためには、本発明による像とレーザ走査像とを重ね合わせて表示すればよいことも既に述べたとおりである。

【0103】OBIC電流発生位置をチップ単位で認識することで、不良チップの検出ができ、チップの交換に役立つ情報が得られる。これにより、ボード全体を廃棄する場合に比べて大幅なコストダウンにつながる場合が有る。また、資源の有効活用という観点からは、明らかに有効である。また、チップの内部の詳細位置を認識することで、不良・故障解析ができ、チップメーカーの製造工程や設計の改善につながる情報が得られる。場合によっては、実装方法の問題も見つかり、実装工程の改善につながる。

【0104】本発明による像とレーザ走査像の空間分解能は、レーザビームのビーム径程度であるのは前述のとおりである。レーザビームのビーム径を、レーザ光の波長と使用している対物レンズの開口数で決まる回折限界ぎりぎりまで上げることは、技術的に難しいことも既に述べた。この実施例では、裏面から観測するため、前述の場合と波長が異なる。例えば、波長1064



nmのYAGレーザを用いた場合、対物レンズの開口数が0.80であると、回折限界は約810nmである。この程度の精度でOBIC電流発生源を特定できる。

【0105】欠陥の有無と、OBIC電流発生の有無の関係は、前述のとおり、必ずしも単純でない。このため、第1の実施形態同様、事前に取得してある良品での走査レーザSQUID像、或いは正常状態での走査レーザSQUID像、あるいはそれらを元に定めた規格と比較することにより、欠陥の場所が識別できる。比較を容易にするためにはフローの最後に示したように差像を生成するとよい。

【0106】次に、本発明の第3の実施形態について図面を参照して詳細に説明する。

【0107】第3の実施形態は、TEGを用いてチップ上の欠陥を検出する場合の形態である。TEGを用いれば、構成の設定が自由にできるため、本実施形態は実に多様である。ここでは、その中の代表的な例を示すが、本発明はこれらの例だけに限定されるものでないことはいうまでもない。

【0108】図9は本発明の第3の実施形態の主要構成を模式的に示す図で、(a)は全体平面図、(b)は(a)のP部の拡大平面図である。図10、11は、図9の中の解析対象TEGブロックの、構成の例を説明するための図である。

【0109】まず、全体の構成について、図9を参照して説明する。途中で必要に応じて、図10、11を適宜参照し、解析対象TEGブロックの構成例を説明する。解析対象TEGブロック6041~6045が、チップ601上に、複数のボンディングパッド602全体の周囲を囲むように配置されている。レーザビーム2はチップ表面側からでも、裏面側からでも入射できる。裏面側から入射しSQUID磁束計12を表面側に配置したほうが、電流経路とSQUID磁束計12を接近させることができ、検出磁束が大きくなるという点では有利であるが、この場合は波長の長いレーザビームを使う必要があり、空間分解能の点では不利である。

【0110】本実施形態では第1、第2の実施形態で場合によっては必要となった電流取り出し部は不要である。すなわち、解析対象TEGブロックの両端を接続する作り込み電流経路用配線603が、ボンディングパッドの周囲を一周するように予め作り込んである。このように解析対象TEGブロックの両端を配線のみで接続する替わりに、容量と抵抗を解析対象TEGブロックと直列に接続した回路を形成してもよい。以下の説明では、配線のみでp-n接合間を接続する電流経路を形成する場合を例にとって説明するが、本発明の範囲がそこに限定される訳ではない。この電流経路は、解析対象TEGブロック毎に作る。他の解析対象TEGブロックの横を迂回するように通るが、配線の幅は加工精度からくる最小線幅でよいので、場所をとることはない。この様子を

図9(b)に示す。解析対象TEGブロック6043の両端を作り込み電流経路用配線6033で接続している。他の作り込み電流経路用配線6031、6032、6034、6035は解析対象TEGブロック6043を迂回している。尚、作り込み電流経路用配線603で作り込み電流経路用配線6031~6035の全体を指すものとする。この電流経路から発生する磁束11は、チップ周辺のどこでも発生しているため、SQUID磁束計12はその近傍のどこに配置してもよい。

【0111】次に、解析対象TEGブロックの構成例を図10、11を参照しながら説明する。図10はリーク欠陥を検出するために設けられたTEGブロックの構成を説明するための図で、(a)は平面図、(b)は(a)のX-X'線に沿った断面図である。また、図11は断線欠陥を検出するために設けられたTEGブロックの構成を説明するための図で、(a)は平面図、(b)は(a)Y-Y'線に沿った断面図である。尚、説明と関係のない構造は省いてある。

【0112】まず、リーク欠陥の場合について、図10を参照しながら説明する。p型基板302にフィールド酸化膜350、n型ウェル303を構成し、n型ウェル303の中にpチャンネルMOSトランジスタのゲート電極3103までが形成された構造になっている。ゲート絶縁膜93は、n型ウェル303上面の全面に有る。その中央をゲート電極3103が走り、作り込み電流経路用配線6031の一端に接続されている。p型基板302と導通をとる目的で形成されたp+拡散領域306は、p+拡散領域取り出し電極3066により、電流経路用配線6031の他の端に接続されている。このゲート電極3103とp+拡散領域取り出し電極3066とを接続する電流経路用配線6031は、図9も併せみると分かります。ボンディングパッド602とチップ辺端部の間でチップを一周している。図10に示したリーク欠陥85が、ゲート電極3103とn型ウェル303を短絡したような場合のみ、n型ウェル303とp型基板302の間のp-n接合1005を介した電流経路が構成され、p-n接合1005にレーザビームを照射した際にOBIC電流が流れる。これにより、リーク欠陥85の検出が可能となる。

【0113】次に、抵抗増大欠陥の場合について、図11を参照しながら説明する。抵抗増大欠陥を検出するために設けられたTEGブロック6042の検査対象内部配線701は、p+拡散領域取り出し電極3066と、n+拡散領域取り出し電極3077とで、p-n接合1283の両端と接続されている。これにより、検査対象内部配線701がp-n接合1283の両端を短絡する。また、この検査対象内部配線701と並列にチップの周縁を一周する作り込み電流経路用配線6032がp-n接合1283の両端に接続してある(図9(a)も参照)。このような構成をとることにより、抵抗増大欠

陥283が存在したときに、レーザビーム照射により、 $p-n$ 接合1283で発生するOBIC電流が、作り込み電流経路用配線6032に沿って流れ、それにより発生する磁束が、SQUID磁束計12(図9(a))で検出される。抵抗増大欠陥283が存在しない場合には、このようなOBIC電流は、抵抗の小さい検査対象内部配線701に主に流れ、比較的抵抗の大きい作り込み電流経路用配線6032に流れる電流はごく微小である。抵抗増大欠陥283が存在すると作り込み電流経路用配線6032に流れる電流が増大するため、欠陥の存在の有無によって検出される磁束が大きく異なり、抵抗増大欠陥の存在の有無が特定できる。

【0114】次に、第3の実施形態の動作について、図12のフローチャートに従って、適宜図9、10、11も参照しながら説明する。ここでは、既に説明した事項の詳細は適宜省略し、流れが理解できるようにする。

【0115】まず、チップ601上の、作り込み電流経路用配線603上で、SQUID磁束計12を図示されていない第2固定手段により固定する。SQUID磁束計12を固定する位置は検出磁束が最大となる位置を選ぶ。この位置は大雑把には、チップ面とSQUID磁束計の磁束検出面の距離 $h$ だけ、配線603と直角方向にずらした位置である。正確な位置は、例えば、図11に示した検査対象配線701の抵抗増大欠陥283に相当する箇所をFIBで断線させたサンプルを用いて実測により決めればよい。

【0116】次にレーザビーム2を照射し、レーザビームの焦点をチップ601の表面に合わせる。本実施形態のように、チップ601の裏面側からでも表面側からでも照射可能な場合は、レーザビーム2はチップ601の裏面側から照射し、焦点をチップ表面に合わせたほうが、検出磁束が強くなるという点では有利である。一方、空間分解能の点からは、レーザビーム2の波長が短くできる表面からの照射が有利である。

【0117】次にレーザビーム2による走査を開始する。チップ601を移動させてもよいが、その場合には、SQUID磁束計12とチップ601の相対位置は固定しておく必要があり、一般的には、レーザビーム2を移動させるほうが容易に実施できる。ただし、走査範囲が広い場合には、レーザビーム2の移動は容易でないため、チップ601側を移動させるほうが容易に実現できる場合も有る。レーザビーム2によるチップ601の相対的な走査は、レーザビーム2を移動させるかチップ601を移動させるかに関わりなく、いずれの場合も、解析対象TEGブロック部のみを走査すればよい。第1、第2の実施形態に比べ効率的である。レーザビーム2による走査と同時に、磁束の検出ならびに、検出磁束の表示をはじめめる。検出磁束で十分な $S/N$ が得られない場合は、図14のように変調装置52でレーザビーム2を変調し、ロックイン・アンプ55で信号を増幅す

ることで、 $S/N$ を大幅に改善できることは第1、第2の実施形態の場合と同じである。

【0118】検出磁束の表示位置は、チップ601上のレーザビーム照射位置に対応しており、レーザビームの反射光をフォトダイオードで検出し、像として表示したもの(レーザ走査像)と対応をとることにより、OBIC電流発生位置が分かることも第1、第2の実施形態の場合と同じである。

【0119】OBIC電流発生位置を見やすくするためには、本発明による走査レーザSQUID像とレーザ走査像とを重ね合わせて表示すればよいことも第1、第2の実施形態の場合と同じである。TEGブロック毎にその故障のモードやメカニズムを限定した構成にしておけば、OBIC電流発生ブロックをTEGブロック単位で認識することで、不良のモードやメカニズムに関する情報が、物理解析せずとも得られる。また、チップ単位やウェハ単位の結果を統計的に解析することで、最終工程まで製造せずとも、そのロットやウェハに対する有効な情報が得られる。本発明による像とレーザ走査像の空間分解能は、第1及び第2の実施形態の説明で述べたので省略する。

【0120】事前に取得してある良品での走査レーザSQUID像、或いは正常状態での走査レーザSQUID像と比較することにより、有効な情報が得られる点についても、第1及び第2の実施形態の説明で述べた内容と同じであるので、詳細は省略する。ただし、本実施形態の場合は、正常な状態或いは良品の走査レーザSQUID像と比較する必要はほとんどないように、TEGを設計できる点で有利である。

【0121】

【発明の効果】以上説明したとおり、本発明によれば、断線を含む抵抗増大や短絡を含むリークといった不良・故障を引き起こす電氣的に活性な欠陥が、ボンディングパッドの形成を待つことなく、非破壊且つ非接触で検出できるので、半導体チップ製造前工程の途中の段階で、電氣的に活性な欠陥に対して、完全非接触且つ非破壊で検査ができ、製品の歩留まり及び信頼性に関する、適切な処置が可能となるという効果が得られる。

【0122】また、ボンディングパッド形成後の場合は、チップ上を金箔で覆うか銀ペーストを塗る、あるいは全ピンを半田などで短絡したソケットに装着するなど簡単な準備をすることにより、電氣的接続の組み合わせを考慮することなく、非破壊且つ非接触で欠陥が検出できるので、前工程終了後の形態においては、従来法より効率的な検査が可能となるという効果も得られる。

【0123】更に、実装した回路基板上の他のデバイスや部品に影響を与えることも、影響を受けることもなく、対象チップの欠陥のみを、非破壊且つ非接触で検出できるので、チップ実装後の形態においても、従来法より効率的な検査が可能となるという効果が得られる。

## 【図面の簡単な説明】

【図1】本発明の非破壊検査方法の基本構成を説明するための模式的な図で、(a)はゲート酸化膜のリーク欠陥検出の場合、(b)は抵抗増大欠陥検出の場合の図である。

【図2】本発明の非破壊検査方法の基本構成を説明するための模式的な図で、(a)はゲート酸化膜のリーク欠陥検出の場合、(b)は抵抗増大欠陥検出の場合の図である。

【図3】本発明の第1の実施形態を説明するための模式的な図で、(a)はウェハ全体、(b)はゲート酸化膜のリーク欠陥関連の場合の詳細、(c)は抵抗増大欠陥関連の場合の詳細をそれぞれ示す断面図である。

【図4】本発明の第1の実施形態を説明するための模式的な斜視図である。

【図5】本発明の第1の実施形態の動作を説明するためのフローチャートである。

【図6】本発明の第2の実施形態を説明するための模式的な図である。

【図7】本発明の第2の実施形態における解析対象チップの欠陥発生箇所の例を説明するための模式的な図で、(a)はリーク欠陥の例であり、(b)は抵抗増大欠陥の例である。

【図8】本発明の第2の実施形態の動作を説明するためのフローチャートである。

【図9】本発明の第3の実施形態を説明するための模式的な図で、(a)は全体平面図であり、(b)は(a)のP部を拡大した平面図である。

【図10】解析対象TEGブロックの例を説明するための模式的な図で、(a)は平面図、(b)は(a)のX-X'線に沿った断面図である。

【図11】解析対象TEGブロックの例を説明するための模式的な図で、(a)は平面図、(b)は(a)のY-Y'線に沿った断面図である。

【図12】本発明の第3の実施形態の動作を説明するためのフローチャートである。

【図13】本発明の非破壊検査装置の一例の構成ブロック図である。

【図14】本発明の非破壊検査装置の一例の構成ブロック図である。

【図15】第1の従来技術を説明するための図である。

【図16】第1の従来技術でp-n接合の欠陥検出原理を説明するための図である。

【図17】第1の従来技術で配線の断線検出原理を説明するための図である。

【図18】第1の従来技術で配線の断線検出原理を説明するための図である。

【図19】第2の従来技術を説明するための図である。

【図20】半導体チップの製造工程途中でのp-n接合部近傍の断面を模式的に示す図で、(a)、(b)はそ

れぞれ第1層配線金属膜を堆積した段階と第2層配線金属膜を堆積した段階、(c)第1層配線金属膜をパタニングした段階、での断面図である。

【図21】OBIC電流が流れる経路中の抵抗値に対するOBIC電流値の依存性を示すグラフの一例である。

【図22】全ピン解放状態での走査レーザSQUID像の例で、(a)が不良品の像、(b)が良品の像である。

【図23】全ピン短絡状態での走査レーザSQUID像の例で、(a)が不良品の像、(b)が良品の像である。

【図24】工程途中から抜き取った形態で断線が検出できた例で、(a)が断線前、(b)が断線後の走査レーザSQUID像である。

【図25】図24の走査レーザSQUID像に対応した個所の断面を模式的に示す図で、(a)が断線前、(b)が断線後の断面図である。

## 【符号の説明】

1, 715, 716, 717	p-n接合
2, 21, 22	レーザビーム
3	電子
4	正孔
5	電源
6, 261, 263	OBIC電流
7	電流計
8, 81, 82, 83, 84, 85, 86	リーク欠陥
9	絶縁膜
10	絶縁膜上の電極
11	磁束
12	SQUID磁束計
15	配線
18	再結合を促進する欠陥
28, 281, 282, 283, 284, 285, 286	抵抗増大欠陥
50	非破壊検査装置
51	レーザ光源
52	変調装置
53	光学系
55	ロックイン・アンプ
56	制御装置
57	記憶装置
58	表示装置
61	微動ユニット
91, 92, 93	ゲート絶縁膜
100	ウェハ
101	最上層全面付着導電性薄膜
102	ウェハ基板部
103	欠陥とp-n接合の有る箇所
111	電極材料膜
151	配線用薄膜
200	生ウェハ

201, 202, 203, 204 電流取り出し部

210 第1層A1配線膜

212 第2層A1配線膜

221 コンタクト部金属膜

223 1-2層間接続孔充填金属

230, 302 p型基板

231 p型拡散領域

233, 241 n型拡散領域

243 基板コンタクト部

244, 246 n型拡散領域コンタクト部

245 p型拡散領域コンタクト部

301, 601 チップ

303 n型ウェル

304, 306 p+拡散領域

305, 307 n+拡散領域

310 基板電位端子

311 入力端子

312 出力端子

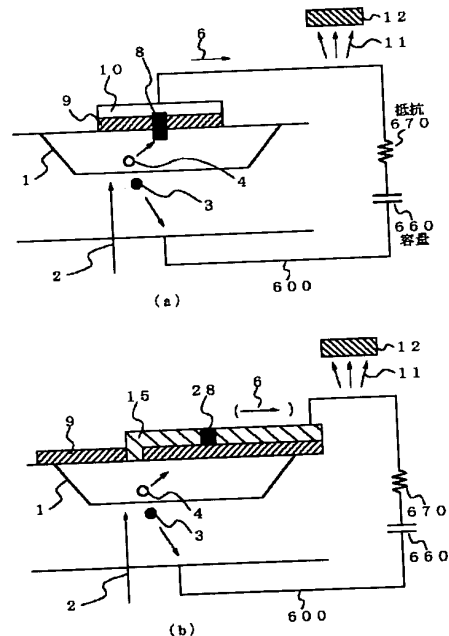
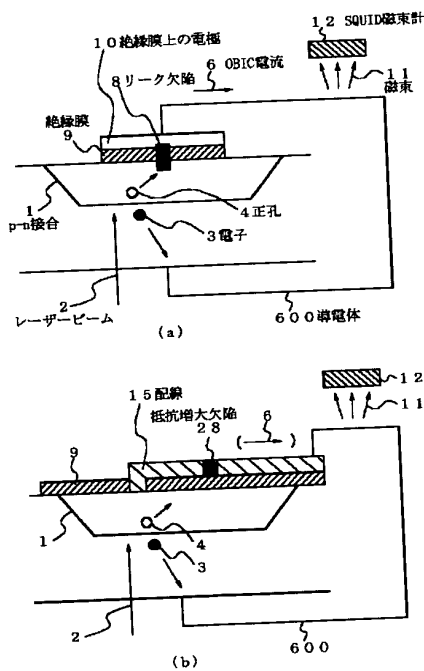
331 PMOS

332 NMOS

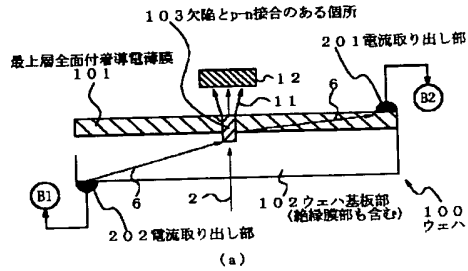
350 フィールド酸化膜

401	回路基板	
402	計測対象基板配線	
501	解析対象外のデバイス	
600	導電体	
602	ボンディングパッド	
603, 6031~6035	作り込み電流経路用配線	
604, 6041~6045	解析対象TEGブロック	
660	容量	
670	抵抗	
701	検査対象内部配線	
1001, 1003, 1005, 1283	p-n接合	
1012	電源配線	
1022	チップ基板と同電位の配線	
1032	接地電位端子	
3066	p+拡散領域取り出し電極	
3077	n+拡散領域取り出し電極	
3101, 3102, 3103	ゲート電極	

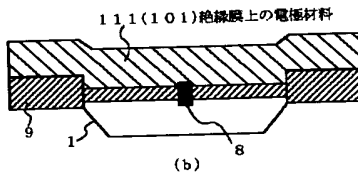
【图2】



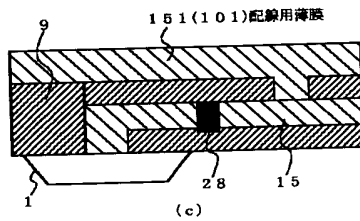
【図3】



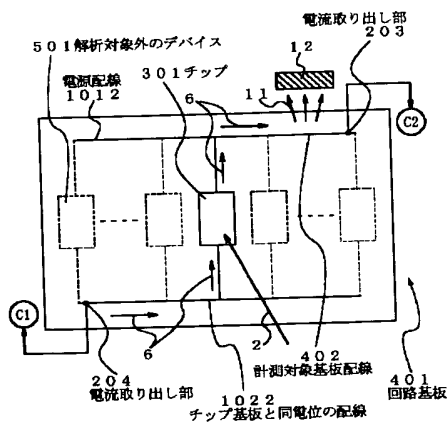
(b)



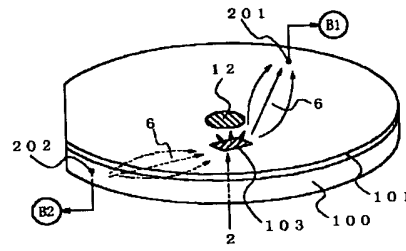
(c)



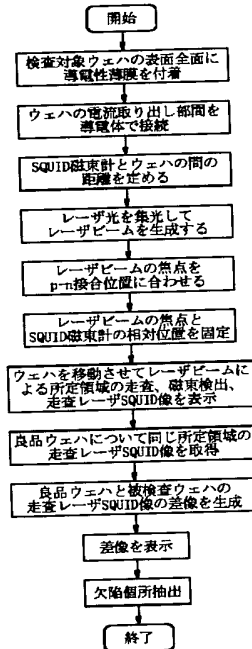
【図6】



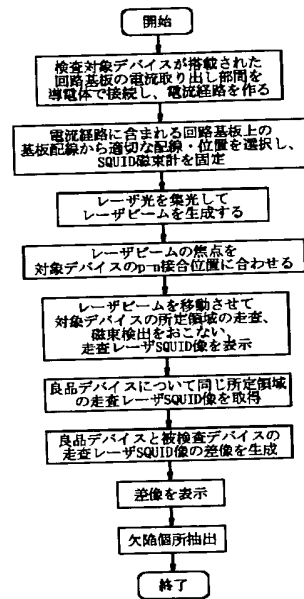
【図4】



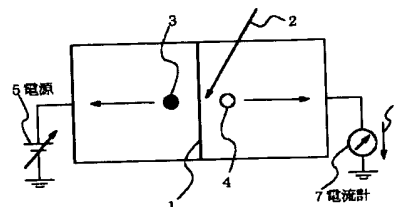
【图5】



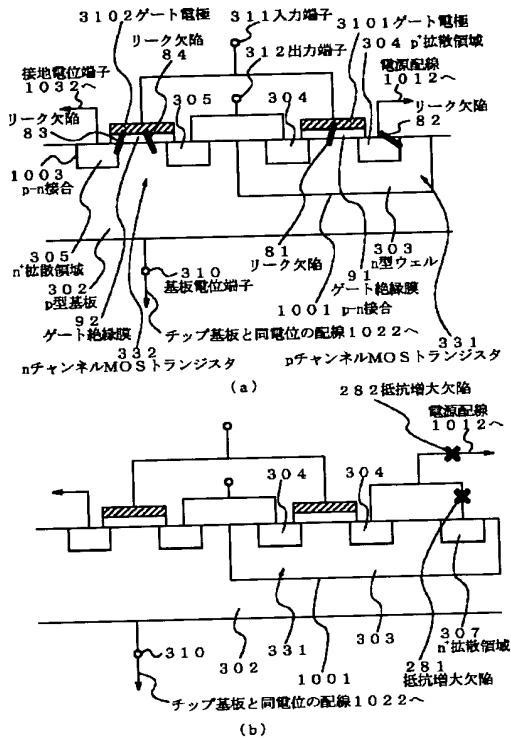
【図 8】



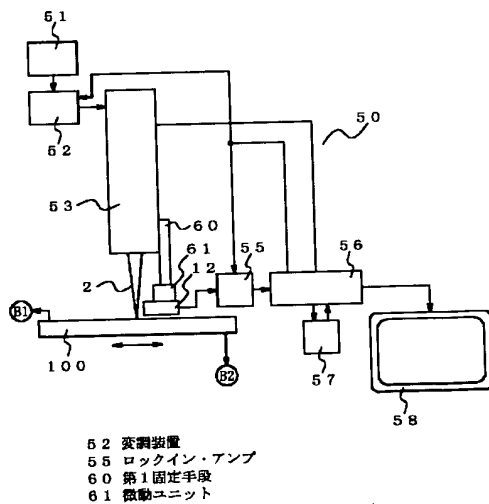
【図 15】



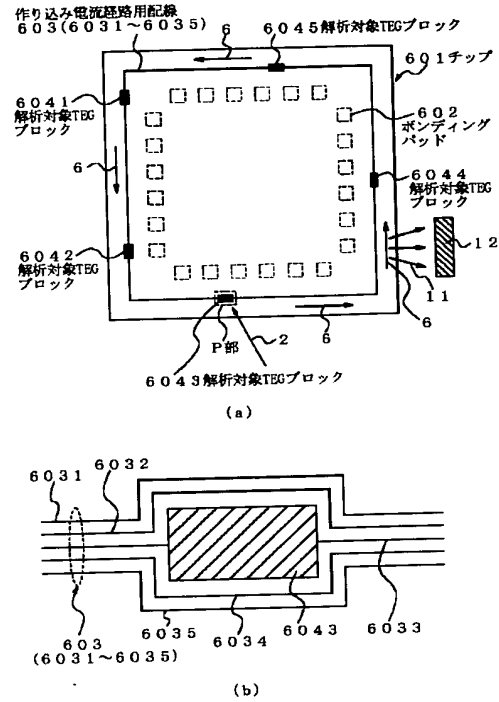
【図7】



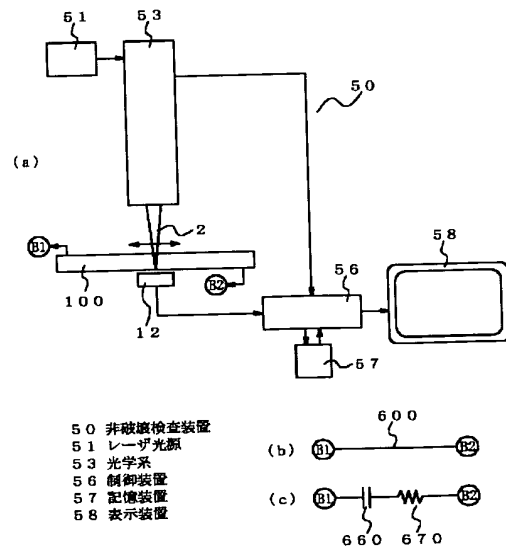
【図14】



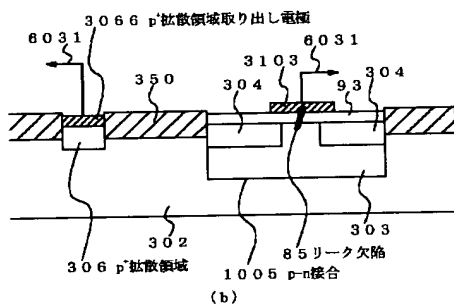
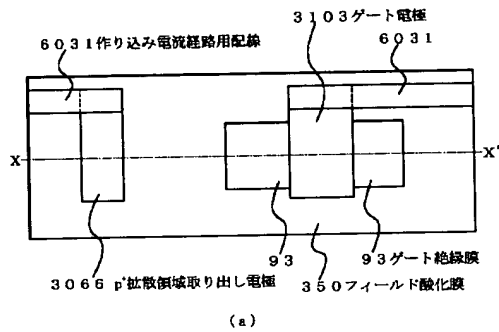
【図9】



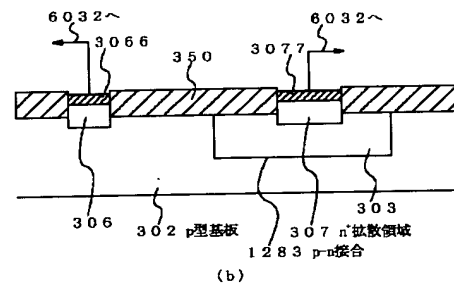
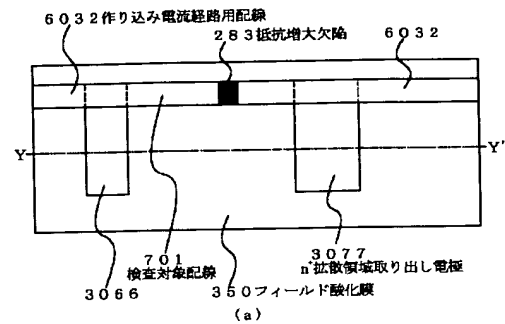
【図13】



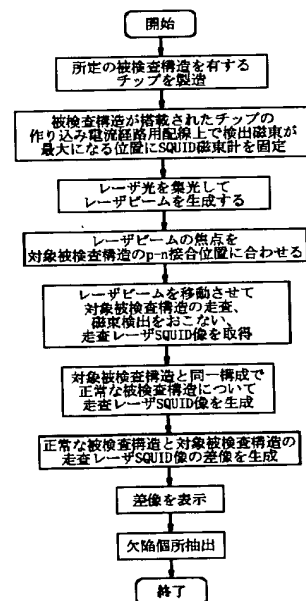
【図10】



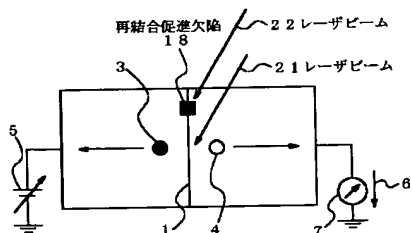
【図11】



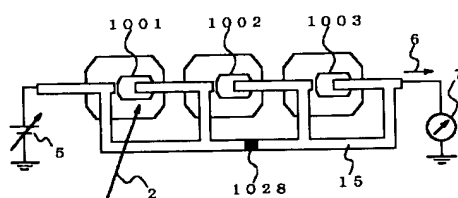
【図12】



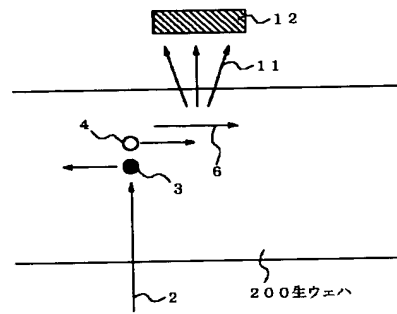
【図16】



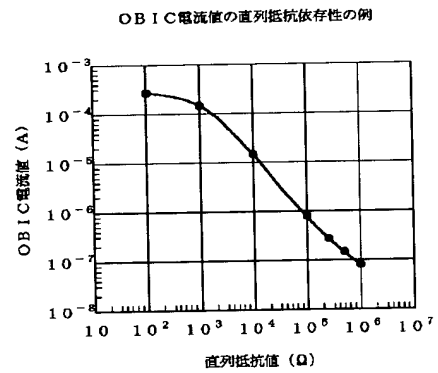
【図18】



【図19】



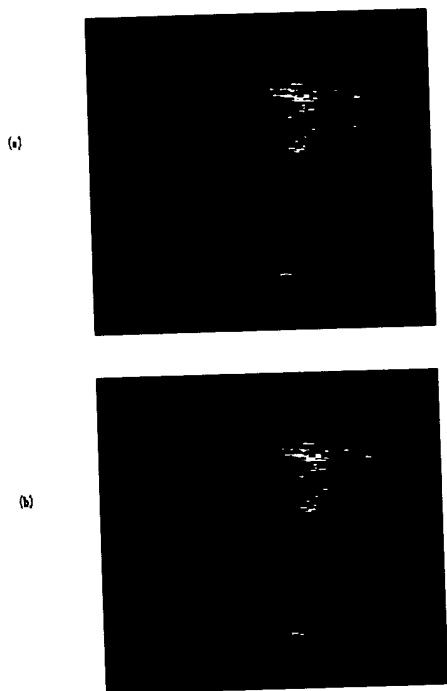
【図 2 1】



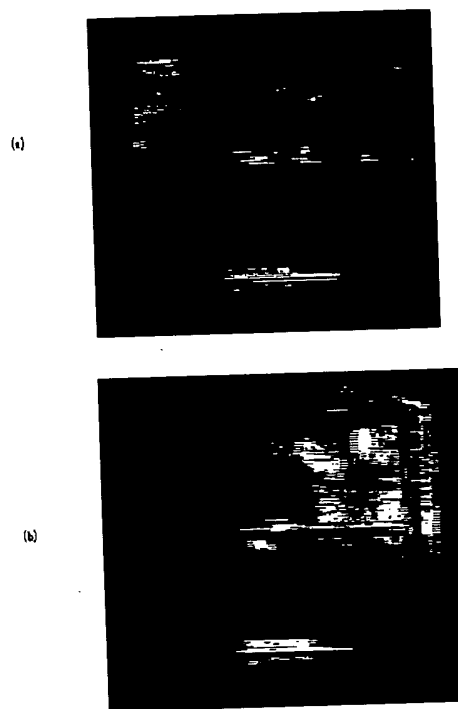
86	1-2欠陥	233, 241	p型拡散領域
210	第1層Al配線膜	243	基板コンタクト部
212	第2層Al配線膜	244, 246	n型拡散領域コンタクト部
213, 214, 215	第1層Al配線	245	p型拡散領域コンタクト部
221	コンタクト部金属膜	261, 263	OBIC電流
229	絶縁膜	715, 716, 717	層間接合
231	p型拡散領域	2234, 2235	層間抵抗孔充填金属



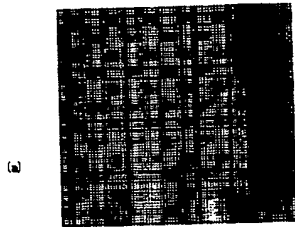
【図22】



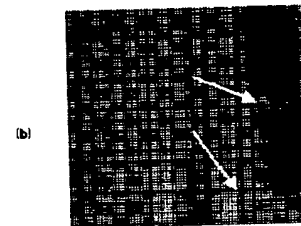
【図23】



【図24】

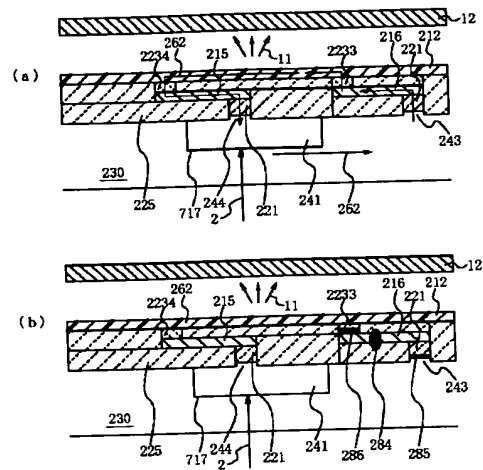


(a)



(b)

【図25】



216 第1層A1配線  
 262 OBI C電流  
 284, 285, 286 抵抗増大欠陥  
 717 p-n接合  
 2233, 2234 層間接続孔充填金属

## フロントページの続き

(51)Int.Cl.<sup>7</sup>

G01R 31/302  
 33/02  
 33/035

識別記号

ZAA

FI

G01R 33/02  
 33/035  
 31/28

テーム(参考)

K 4M106  
 ZAA  
 L

Fターム(参考) 2G014 AA02 AA03 AB59 AC19  
 2G017 AA04 AD32 BA00  
 2G053 AA11 AB01 AB14 BA00 CA10  
 CB29 DA01 DB19  
 2G060 AA09 AE01 AF01 AF20 EA07  
 EB09 KA16  
 2G132 AD15 AF14 AF16 AK07 AL12  
 4M106 AA01 AA02 AA07 AB06 AB12  
 BA01 BA05 BA14 CA16 CA17  
 DH11 DH32 DJ20